Superjunction MOSFET

Superjunction MOSFET

大西 泰彦 Yasuhiko Oonishi 大井 明彦 Akihiko Ooi 島藤 貴行 Takayuki Shimatou
不純物濃度制御に優れた多段エピタキシャル技術を適用し、定格 600 V/0.16 Ω (パッケージ:TO-220)の Superjunction (SJ) MOSFET を作製した。作製した SJ-MOSFET は、SJ 構造の不純物濃度最適化により、従来 MOSFET 「SuperFAP-E³」に対し約 70%の R_{on}·A 低減を達成した。これは業界最高レベルの R_{on}·A であり、従来 MOSFET の理論 限界を超える値である。また、SJ 構造の不純物濃度プロファイル、n 型バッファ層の最適化により、定格電流以上のL負

荷アバランシェ耐量を確保した。

600 V-class superjunction (SJ) MOSFETs (package: TO-220) with a maximum on-resistance of 0.16Ω have been fabricated by using multiepitaxial growth technology which has an excellent capability for controlling the doping concentration. By optimizing the doping concentration in the SJ structure, the fabricated SJ-MOSFET achieves an approximate 70% reduction in specific on-resistance compared to that of a conventional MOSFET "SuperFAP-E³." This is the industry's highest level of specific on-resistance, and its value exceeds the theoretical limit for conventional MOSFETs. The avalanche withstand capability of the fabricated SJ-MOSFET has been also improved over the rated current by optimizing the doping profile of the SJ structure in the depth direction and the thickness and resistivity of the n-buffer layer.

1 まえがき

近年,地球環境保護への関心が高まる中, IT 分野で は省電力化として、グリーン IT への注目が高まってい る。IT 機器の電力損失を低減するためには, IT 機器で使 用する電力変換機器の効率を上げる必要があり、低損失 なパワー MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor)が強く求められている。電力変換機器 で使用するパワー MOSFET は、スイッチングデバイスと して動作しているため、その発生損失はパワー MOSFET がオンしているときの導通損失とオンからオフ状態、オフ からオン状態に変化するときのスイッチング損失からなる。 一般に、スイッチング周波数が低い用途では導通損失が支 配的で,スイッチング周波数が高い用途ではスイッチング 損失が支配的になる。導通損失の性能指数としては単位面 積で規格化したオン抵抗 Ron・A を用い,スイッチング損 失を示す性能指数としては、オン抵抗で規格化したゲート -ドレイン間電荷量 $R_{\rm op} \cdot Q_{\rm GD}$ を用いる。それ故,パワー MOSFET の発生損失を低減するためには、これら性能指 数を小さくすることが強く求められる。

ー方,耐圧と R_{on} ・Aとの間には材料によって決まる理 論限界(シリコンの場合はシリコンリミットと呼ばれる) が存在しており,この理論限界を超える R_{on} ・Aを得るこ とはできないと考えられていた。この問題をブレイクス ルーしたのがSuperjunction (SJ)構造であり,劇的な R_{on} ・Aの低減が可能となることから,注目を浴びている。

本稿では,業界最高水準の低オン抵抗,L負荷アバラン シェ耐量を達成した 600 V クラスの SJ-MOSFET を開発 したので,その製造方法および特性を紹介する。

2 パワー MOSFET の技術動向

図1に 600 V クラスのパワー MOSFET の R_{on} ・ $A \ge R_{on}$ ・ Q_{CD} のトレンドを示す。前述したようにパワー MOSFET の R_{on} ・Aには理論限界が存在するために,これまでの開 発はいかに R_{on} ・Aをシリコンリミットに近づけるかが焦 点となっていた。 R_{on} ・Aを低減するために、シリコンリ ミットとなるドリフト抵抗の低減とドリフト抵抗以外の抵 抗成分の低減とを行ってきた。後者は表面 MOSFET 部の セル密度向上、セル構造の最適化によるチャネル抵抗や JFET (Junction Field-Effect Transistor)抵抗の低減で あり、前者はL負荷アバランシェ耐量と耐圧を確保する ドリフト層の抵抗率と厚さの最適化によるドリフト抵抗の 低減であった。L負荷アバランシェ耐量を確保するために pウェル構造を用いた構造では、ドリフト抵抗の低減に限 界があったが、擬平面接合技術によりこれを低減するこ とが可能となっ^[3]。擬平面接合技術は、pウェルレス構造





であり、JFET 抵抗を上昇させずに p ベース間距離を狭く することによりドリフト抵抗を低減し、 p ベース形状の最 適化により p ウェル構造と同等の L 負荷アバランシェ耐 量を確保している。擬平面接合技術により従来 MOSFET の $R_{on} \cdot A$ はシリコンリミットの 110% にまで改善し、 $R_{on} \cdot Q_{GD}$ も $R_{on} \cdot A$ の低減および狭い p ベース間隔により大き く改善できた。富士電機ではこの擬平面接合技術を適用し、 「SuperFAP-G シリーズ」を製品化し、後継として使いや すさを追求した「SuperFAP-E³ シリーズ」を製品化して きた。

近年、シリコンリミットをブレイクスルーする SJ-MOSFET が注目されている。SJ-MOSFET は**図2**に示す ように従来 MOSFET のドリフト層を p 型領域と n 型領 域とが交互に並んだ構造に置き換えたものであり、n 型領 域の不純物濃度を高くすることができることから、 $R_{on} \cdot A$ を劇的に低減できる。また、 $R_{on} \cdot A$ が低減できると同じオ ン抵抗でも活性面積を小さくできるので、 $R_{on} \cdot Q_{GD}$ も低減 できることになる。

3 SJ-MOSFET の開発

3.1 多段エピタキシャル成長技術

SJ 構造は,劇的な低 R_{on}・A が可能となる一方で, チャージ補償型構造のため n 型領域と p 型領域とのチャージバランスを確保できなければ耐圧が保持できなくなる欠点がある。チャージバランスが崩れると耐圧が極端に低下してしまい,定格電圧が確保できなくなってしまう。SJ-MOSFETを製造する上で, n 型領域および p 型領域の不純物濃度を精度良く制御することが重要となる。耐圧ばらつきを改善するためには,p 型領域の深さ方向の不純物濃度に分布を持たせることも必要となる。そこで,SJ 構造の作製方法として,不純物濃度制御に優れたイオン注入による所定領域への不純物導入とエピタキシャル成長との繰り返しによる多段エピタキシャル成長方式を採用した。図 3 に多段エピタキシャル成長方式による SJ 構造形成のプロセスフローを示す。まず,不純物濃度の低い n 型層を n

図2 従来 MOSFET と SJ-MOSFET の構造



型バッファ層の厚さも加味しn型基板の上にエピタキシャ ル成長させる(ステップ1)。次に,出来上がリでn型領域, p型領域となる領域へりん(P)とボロン(B)をイオン 注入し(ステップ2),続いて不純物濃度の低いn型層を エピタキシャル成長させる(ステップ3)。出来上がりの n型領域,p型領域の不純物濃度は,イオン注入用のレジ スト寸法とイオン注入の精度によって決定されるので,不 純物濃度の制御が容易となる。所定のドリフト層厚になる までステップ2とステップ3を繰り返し,最後に熱拡散に よって連続したn型領域,p型領域を形成する。この後は

図 3 多段エピタキシャル成長方式の SJ 構造形成プロセスフ ロー



図4 SJ-MOSFET の断面 SCM 像



通常の DMOSFET (Double Diffused MOSFET) プロセ スを使用し, DMOSFET を SJ 構造の表面に形成し, SJ-MOSFET とする。図4に多段エピタキシャル成長方式で 作製した SJ-MOSFET の断面構造を SCM (Scannig Capacitance Microscopy) 像で示す。p型, n型領域とも深 さ方向に接続し, SJ 構造が形成されていることが確認で きる。

3.2 R_{on}・A の改善

多段エピタキシャル成長方式を用いて定格 600 V/0.16 Ω の SJ-MOSFET を開発した。図 5 (a)に示すように、開 発した SJ-MOSFET の R_{on} ・A は従来 MOSFET である SuperFAP-E³ に対し、約 73% 低減した。これは業界最

図5 従来 MOSFET と SJ-MOSFET の性能指数比較



図 6 SJ-MOSFET の出力特性



高レベルの R_{on} ・Aでもある。 R_{on} ・ Q_{GD} の比較を図5(b)に 示す。SJ-MOSFETの R_{on} ・ Q_{GD} もSuperFAP-E³に比べ 約 69%の低減となっている。また,SJ-MOSFETの表面 MOSFET 構造はSuperFAP-E³と同じコンセプトであり, 使いやすさも踏襲している。図6に $V_{GS(th)}$ =3.0 VのSJ-MOSFETの出力特性を示す。

3.3 L負荷アバランシェ耐量の改善

SJ-MOSFET のL負荷アバランシェ破壊電流は従来 MOSFET と比較すると低いことが指摘されている。今回 開発した SJ-MOSFET は SJ 構造の深さ方向における不純 物濃度プロファイルおよび n型バッファ層の最適化によ リ,チャージバランス条件でも 150 A/cm² のL負荷アバ ランシェ耐量を確保した。図7 に SJ-MOSFET の代表的 なL負荷アバランシェ波形を示す。

4 実機評価

TO-220 パッケージで組み立てた多段エピタキシャル成 長方式の SJ-MOSFET (定格 600 V/0.16 Ω)を 400 W ク ラス ATX 電源 (ATX 規格に準拠したサーバ用電源)の 力率改善回路 (図8)に搭載し,損失および温度上昇の 評価を行った。パワー MOSFET 部の損失比較を図9に示 す。比較対象は,TO-3P パッケージで最もオン抵抗の小

図7 SJ-MOSFET のL負荷アバランシェ波形



図8 実機評価電源回路



図 9 パワー MOSFET の発生損失比較(入力 AC100 V/出力 400 W)



さい SuperFAP-E³シリーズの製品「FMH23N60ES」(定格 600 V/0.28 Ω) とした。損失は、従来製品の「FMH23N 60ES」に対し、導通損失で 16% 低減しており、トータル 損失で約 14% 低減している。また、温度上昇は約 5 ℃の 低減を確認しており、トータルの電力変換効率では約 0.5% の改善を確認した。TO-220 と TO-3P との違いはあるが、 SJ-MOSFET への置換えだけで、発生損失低減・効率の 改善が十分に期待できる。

5 あとがき

多段エピタキシャル成長技術を適用した定格 600 V/0.16 Ω (パッケージ: TO-220)の SJ-MOSFET を開発した。 SJ-MOSFET は SJ 構造の不純物濃度の最適化, n型バッ ファ層の最適化により,業界最高レベルの低 R_{on}·A,高L 負荷アバランシェ耐量を達成した。今後,本稿で紹介した 低損失な SJ-MOSFET を製品化し,地球環境保護に貢献 していく所存である。

参考文献

- Fujihira, T. Theory of Semiconductor Superjunction Devices. Jpn. J. Appl. Phys. Oct. 1997, vol.36, p.6254–6262.
- (2) Deboy, G. et al. A new generation of high voltage MOSFETs breaks the limit line of silicon. Proc. IEDM. 1998, p.683-685.
- (3) Kobayashi, T. et al. High-Voltage Power MOSFETs Reached Almost to the Si limit. Proc. ISPSD. 2001, p.99-102.
- (4) Niimura, Y. et al. A Low Loss, Low Noise and Robust 500 to 900V Class Power MOSFET with Multiple RESURF Guardring Edge Structure. Proc. PCIM. China, June 2009, p.150-155.
- (5) Onishi, Y. et al. 24mΩ·cm² 680 V Silicon Superjunction MOSFET. Proc. ISPSD. June 2002, p.241–244.



大西泰彦

パワー MOSFET, IGBT の研究・開発に従事。現 在,富士電機ホールディングス株式会社技術開発 本部先端技術研究所デバイス技術研究センターデ バイス開発部。



大井明彦

パワーデバイス・IC のプロセス研究・開発に従事。 現在,富士電機システムズ株式会社半導体事業本 部半導体統括部プロセス開発部。工学博士。



島藤 貴行

パワー MOSFET,マルチチップデバイスの開発・ 設計に従事。現在,富士電機システムズ株式会社 半導体事業本部半導体統括部デバイス技術部。



*本誌に記載されている会社名および製品名は、それぞれの会社が所有する 商標または登録商標である場合があります。