

大容量モジュール内蔵ゲート抵抗チップ技術

Built-In Gate Resistor Chip Technology for High-Power Modules

狩野 太一 KARINO, Taichi

宮澤 康弘 MIYAZAWA, Yasuhiro

鎌田 省吾 KAMADA, Seigo

再生可能エネルギー分野で用いられる電力変換装置の大容量モジュールでは、さらなる高信頼化・高効率化を実現するために、短絡発振抑制と高温時のスイッチング損失低減を両立する必要がある。そのため、大容量モジュールの IGBT のゲートに接続されるゲート抵抗には抵抗値の最適化に加え、温度上昇に伴う抵抗増加の抑制が求められている。富士電機は、このような要求に応え、ポリシリコン抵抗体と低比抵抗 Si 基板を組み合わせ、抵抗値の温度係数が $0 \text{ ppm}/^{\circ}\text{C}$ 以下のモジュール内蔵ゲート抵抗チップを開発した。この技術により、高温時のターンオン損失を 13% 低減した。

High-power modules for power converters for the renewable energy field must suppress short-circuit oscillation and reduce switching loss at high temperatures to further improve reliability and efficiency. Therefore, the gate resistance value of IGBTs in high-power modules is required to be optimal and is prevented from rising even at high temperatures. In response to these needs, Fuji Electric has developed a built-in resistor chip for high-power modules that has a temperature coefficient of resistance of less than $0 \text{ ppm}/^{\circ}\text{C}$ by combining a polysilicon resistor and a low specific-resistance Si substrate. This technology has reduced turn-on loss at high temperatures by 13%.

1 まえがき

近年、地球温暖化対策や安全・安心で持続可能な社会の実現に向けて、太陽光発電や風力発電などの再生可能エネルギーと、それを支えるパワーエレクトロニクス（パワエレ）技術への期待が高まっている。パワエレ技術を活用した電力変換装置には、高信頼性で高効率であることが求められている。

富士電機は、1988 年に IGBT（Insulated Gate Bipolar Transistor）モジュールを製品化して以来、電力変換装置の高信頼化・高効率化に加え、小型化や低コスト化に貢献してきた。大容量モジュールで使用される IGBT チップは、第 7 世代「X シリーズ」まで進歩し特性を向上してきたが、第 7 世代 IGBT を搭載した大容量モジュールのさらなる高信頼化・高効率化には、内蔵するゲート抵抗用の抵抗チップの特性を改善し、IGBT の短絡発振の抑制やスイッチング損失の低減を進める必要がある。

本稿では、大容量 IGBT モジュールの短絡発振抑制と高温時のスイッチング損失増大抑制を目的に開発した、ゲート抵抗チップ技術について述べる。

2 モジュール内蔵ゲート抵抗

2.1 ゲート抵抗の必要性

図 1 に大容量 IGBT モジュールの回路図例を示す。IGBT の短絡時には、ゲート電圧が発振し、IGBT の破壊を引き起こすことがある。短絡発振時の波形イメージを図 2 に示す。この短絡発振を抑制するため、大容量モジュールでは IGBT のゲートにゲート抵抗を接続している⁽⁴⁾。大容量モジュールでは、大容量化を実現するために複数の IGBT チップを並列に接続する。この影響で寄生容量や寄

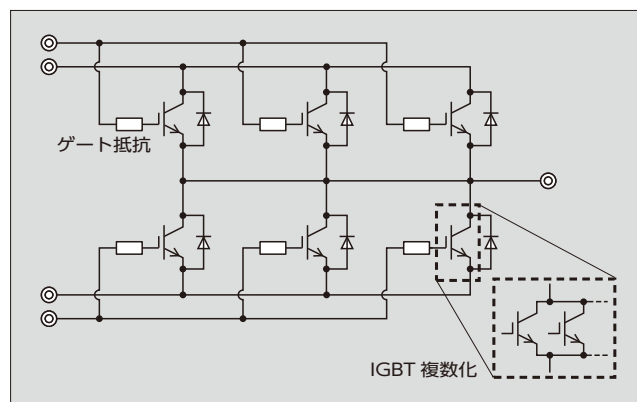


図 1 大容量 IGBT モジュールの回路図例

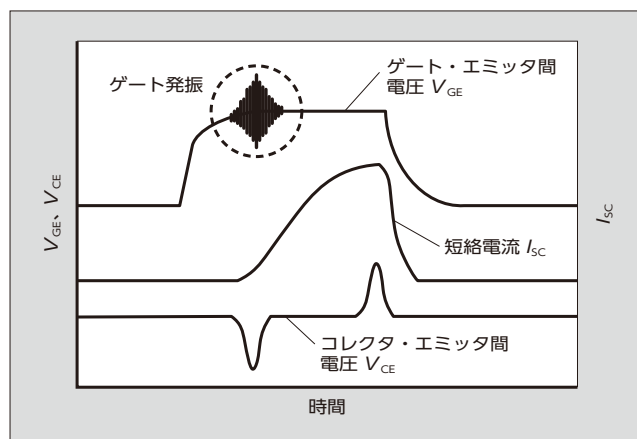


図 2 短絡発振時の波形イメージ

生インダクタンスが形成されゲート電圧の発振が発生しやすくなる。

2.2 従来のゲート抵抗

大容量モジュールに適用している従来のゲート抵抗は、Si ウェーハ内に拡散層を形成した縦型の拡散抵抗で、所望の抵抗値を得るためにウェーハ厚さや表面拡散層深さ、チップサイズを調整する。表面電極はアルミニウムワイヤのボンディングが可能で、裏面電極はモジュール内の絶縁基板に実装できる構造となっている。また、抵抗チップの表面電極と IGBT のゲートはアルミニウムワイヤで接続される。

この従来の抵抗チップは、 $-40 \sim +150^{\circ}\text{C}$ で温度係数が $7,083 \text{ ppm}/^{\circ}\text{C}$ ($10 \text{ } \Omega$ 品で $70.8 \text{ m}\Omega/^{\circ}\text{C}$) と大きな正の温度特性を持っており、高温時にスイッチング損失が大きくなるという問題があった。そのため、第 7 世代 IGBT モジュールのさらなる高信頼化・高効率化を実現し、その能力を十分に発揮するためには、短絡時の発振を抑制できる抵抗値を備え、高温でも抵抗値が上昇しない抵抗チップが必要であった。

3 開発したゲート抵抗

3.1 抵抗チップ

今回、ゲート電圧の短絡発振を抑制できるよう抵抗値を調整できるとともに、高温時のスイッチング損失が増大しないよう負の温度特性を持つ抵抗チップを開発した。また、アルミニウムワイヤをボンディングでき、かつ絶縁基板に実装できる構造とした。

(1) 仕様

表 1 にゲート抵抗チップの仕様を示す。抵抗値は $5 \sim 50 \text{ } \Omega$ の範囲で選択可能であり、いずれの抵抗値においても温度係数は小さく、負の値である。

(2) 構造

今回開発した抵抗チップは、ポリシリコン (PolySi) 抵抗体と低比抵抗 Si 基板を組み合わせた構造であり、従来から使用されている Si パワー半導体プロセスで製造可能である。抵抗チップの構造を図 3 に示す。図 3 は一つのチップに二つの抵抗を搭載した 2 抵抗/1 チップタイプの構造を示している。IGBT のゲートとアルミニウムワイヤで接続される表面電極のパッド、PolySi 抵抗体、低比抵抗 Si 基板、裏面電極で構成される。PolySi 抵抗体にはイオン注入で不純物を導入する。抵抗チップは縦型構造のデバイスであり、電流は表面電極と裏面電極間に流れる。

表 1 ゲート抵抗チップの仕様

項目	特性値
最大定格	電圧 (V)
	電流 (mA)
	電力 (W)
抵抗値 (Ω)	$5 \sim 50$
温度係数 ($\text{ppm}/^{\circ}\text{C}$) ($-40 \sim +150^{\circ}\text{C}$)	-260

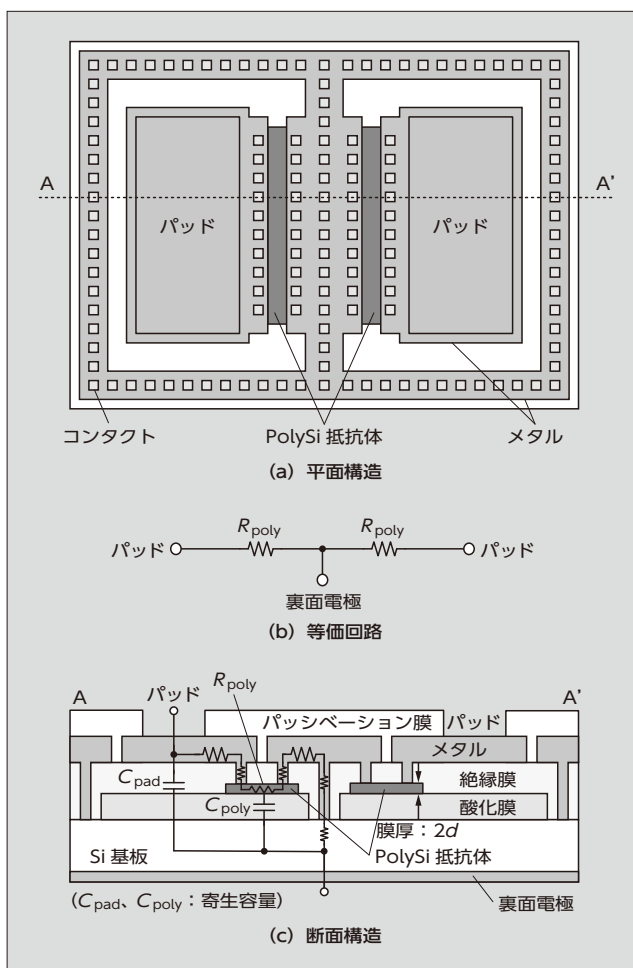


図 3 抵抗チップの構造 (2 抵抗/1 チップ)

抵抗チップの抵抗値は PolySi 抵抗体の抵抗で決まり、PolySi 抵抗体の幅と長さを変えることで、所望の抵抗値を実現できる。図 3 に示した抵抗チップの構造は、1 チップに二つのパッドが配置され、それぞれのパッドに接続された PolySi 抵抗体を形成することで、二つの抵抗を 1 チップで実現している。これにより、同一の電源ラインに接続された二つの IGBT チップに対して一つの抵抗チップで対応することができる。

(3) PolySi 抵抗体

抵抗チップの PolySi 抵抗体は、負の抵抗値温度係数の実現、高信頼化を目指して開発を進めた。

(a) 抵抗値温度係数

抵抗チップの抵抗値温度係数は、PolySi 抵抗体中の不純物濃度に依存する。高温時の抵抗値上昇による IGBT のスイッチング損失を増大させないことを目的に温度係数の目標値は $0 \text{ ppm}/^{\circ}\text{C}$ 以下とし、プロセスばらつきの影響で温度係数がばらついても正の値にならない範囲をターゲットに、PolySi へのイオン注入条件を調整して不純物濃度プロファイルを最適化した。

(b) 高信頼化

抵抗チップは、IGBT チップの搭載数に応じて各 IGBT のゲートに接続される。そのため、IGBT のスイッチングのアンバランスを防ぐためには抵抗値のば

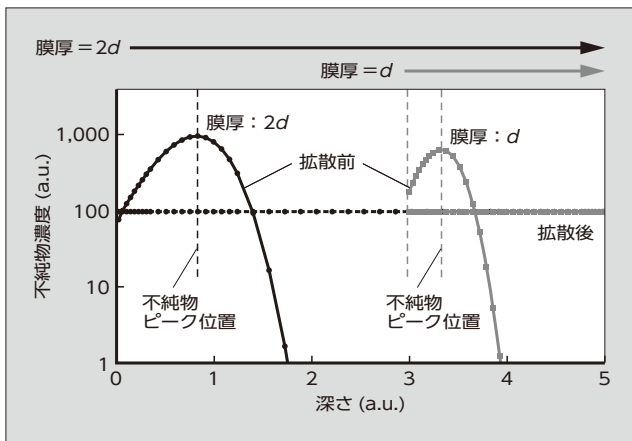


図4 不純物濃度プロファイルのシミュレーション結果

らつきを抑える必要がある。PolySi 抵抗体の面積を大きくすることによりばらつきを小さくできることから、PolySi 抵抗体を厚くして低シート抵抗化し、同一抵抗値をより大面積で実現できるようにした。また、長期の使用でも抵抗値変動を抑えられるよう、PolySi 抵抗体にドーピングするイオン種を選定した。

前述の(a)および(b)を達成するため、PolySi 抵抗体中の不純物濃度プロファイルと PolySi 抵抗体の膜厚を最適化した。図4に、イオン注入後の不純物濃度プロファイルのシミュレーション結果を示す。シート抵抗の低抵抗化のため、PolySi 抵抗体の膜厚 d を2倍の $2d$ に厚くした。不純物濃度プロファイルは、PolySi 抵抗体の厚膜化に応じて PolySi 抵抗体中で不純物濃度が最も高くなるピーク位置が深くなるようイオン注入の加速電圧を調整した。これにより、熱処理による不純物拡散後に PolySi 抵抗体中の不純物濃度プロファイルを従来と同じにすることで、PolySi 抵抗体の膜厚を厚くしても温度係数を合わせることができた。

(4) 酸化膜および絶縁膜

抵抗チップには図3に示したように、パッド部直下に積層されている絶縁膜と PolySi 抵抗体下の酸化膜による寄生容量 C_{pad} 、PolySi 抵抗体部直下の酸化膜による寄生容量 C_{poly} が存在しており、ゲート発振の周波数が大きくなると寄生容量のインピーダンスが低下する。そのため、この寄生容量との合成抵抗となる抵抗チップ自体の抵抗値も低下してしまい、ゲート発振を抑制できなくなる。そこで、任意の周波数に対して抵抗チップが抵抗体として機能する領域と寄生容量によるインピーダンス低下領域との境界値について検討した。

抵抗チップの等価回路を図5に示す。抵抗チップの等価回路から、次の RC ローパスフィルタの式が成り立つ。

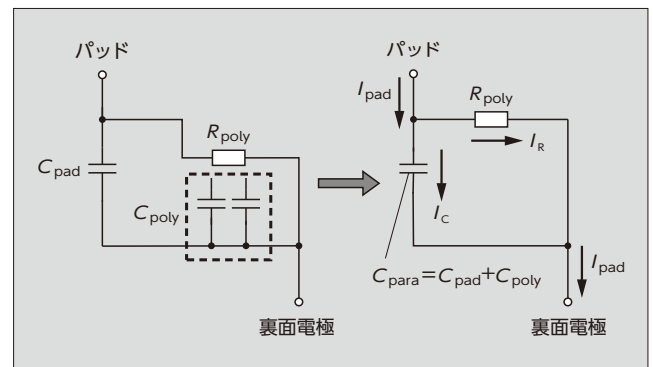


図5 抵抗チップの等価回路

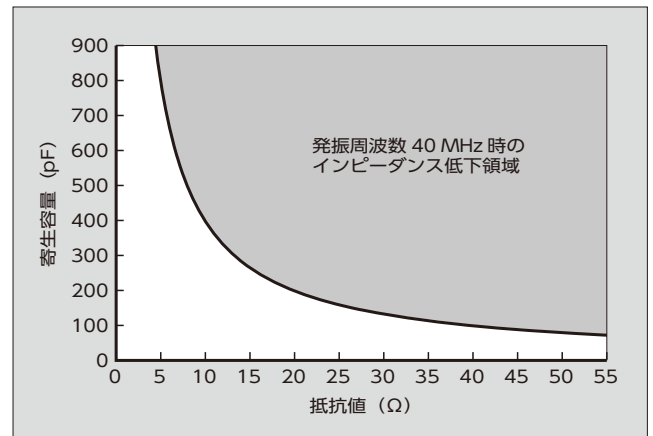


図6 寄生容量と抵抗値の関係

$$f_c = \frac{1}{2\pi \cdot C_{\text{para}} \cdot R_{\text{poly}}}$$

$$C_{\text{para}} = \frac{1}{2\pi \cdot f_c \cdot R_{\text{poly}}} \quad \dots\dots\dots (1)$$

f_c : 発振周波数
 C_{para} : $C_{\text{pad}} + C_{\text{poly}}$
 R_{poly} : PolySi 抵抗値

抵抗チップが短絡時のゲート発振の周波数に対して抵抗体として機能するための寄生容量 C_{para} の境界値を、 $I_{\text{pad}} = I_R$ として式(1)より算出した。

図6に、製品使用時のゲート発振周波数相当の 40 MHz とした時の境界値と、寄生容量および抵抗値の関係を示す。所望の抵抗値に対して図6に示したインピーダンス低下領域外となる寄生容量値以下になるように絶縁膜と酸化膜の厚さ、およびメタルと PolySi 抵抗体の面積を設計した。

3.2 特性

開発品と従来品の抵抗値の温度特性を図7に示す。 $-40 \sim +150^\circ\text{C}$ の温度係数を既存品の $7,083 \text{ ppm}/^\circ\text{C}$ から $-260 \text{ ppm}/^\circ\text{C}$ ($10 \text{ } \Omega$ 品換算で $70.8 \text{ m}\Omega/^\circ\text{C}$ から $-2.6 \text{ m}\Omega/^\circ\text{C}$) に低減することができ、 $-40 \sim +150^\circ\text{C}$ の範囲で 25°C の抵抗値に対して $\pm 2.5\%$ 以内の抵抗値変化率を実現した。これにより、IGBT の高温におけるスイッチング損失増加を抑制することができる。

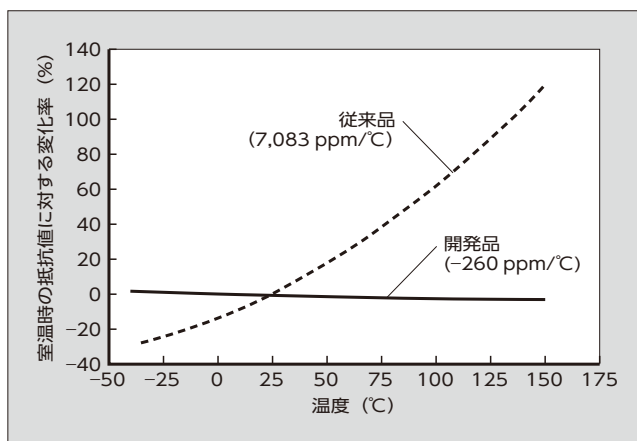


図7 開発品と従来品の抵抗値の温度特性

4 製品適用

4.1 大容量モジュールへの適用事例

図8に、開発した抵抗チップをXシリーズのPrimePACK™^(注)に適用した時のモジュール絶縁基板の模式図を示す。この適用事例では、2抵抗/1チップタイプの抵抗チップであり、絶縁基板上的IGBTチップ二つに対して1チップの抵抗チップで対応している。また、アルミニウムワイヤは直径0.4mmまで対応可能である。

表2に、本開発の抵抗チップを搭載した大容量モジュールのターンオン時のスイッチング損失 E_{on} を示す。今回開

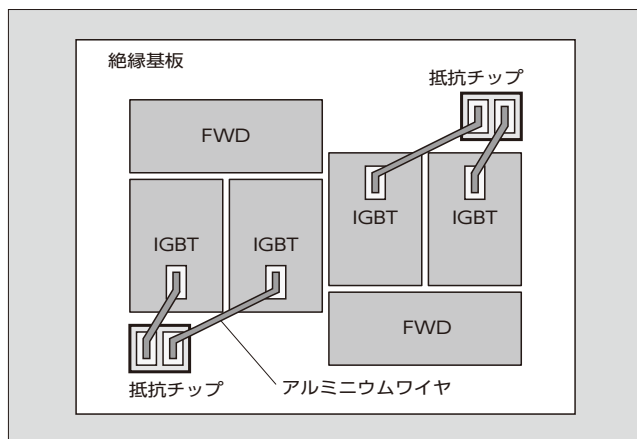


図8 モジュール絶縁基板の模式図

表2 大容量モジュールのターンオン時のスイッチング損失 E_{on}

サンプル	ターンオン時のスイッチング損失 E_{on}	
	室温	高温
基準	1.0	1.5
本開発の抵抗チップ適用品	1.0	1.3

*基準の室温時を1.0とする

〈注〉PrimePACK™：Infineon Technologies AGの商標または登録商標

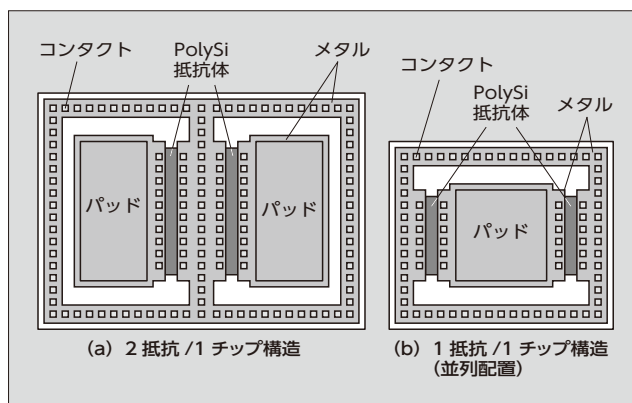


図9 抵抗チップのバリエーション

発した抵抗チップを適用した大容量モジュールにおいて室温時の損失に差はないが、高温時には1.5から1.3に約13%低減した。

4.2 バリエーション

図9に抵抗チップのバリエーションを示す。図9(a)の2抵抗/1チップと図9(b)の1抵抗/1チップとも抵抗値は同じであり、搭載するモジュールに応じて選択できる。図9(a)の2抵抗/1チップの抵抗チップは、1チップで二つのIGBTのゲートに接続することができるため、モジュール内のチップ専有面積を省スペース化することが可能である。

今回開発した抵抗チップを大容量モジュールのIGBTゲート抵抗に適用することで、短絡発振によるIGBTの破壊を防止するとともに、消費電力低減に貢献することができる。

5 あとがき

本稿では、PolySi抵抗体と低比抵抗Si基板を組み合わせ構成される、大容量モジュールに内蔵されるゲート抵抗チップ技術について述べた。本抵抗チップにより、第7世代IGBTを搭載した大容量モジュールの短絡発振を抑制するとともに高温時のターンオン損失増大を抑制することができる。

今後、SiCモジュール製品への適用も含めて、抵抗チップの製品適用を進めていく所存である。

参考文献

- (1) 山野彰生ほか. 第7世代「Xシリーズ」産業用RC-IGBTモジュールの系列化. 富士電機技報. 2017, vol.90, no.4, p.233-237.
- (2) 山本拓也ほか. 第7世代「Xシリーズ」1,700V IGBTモジュール“PrimePACK™”. 富士電機技報. 2017, vol.90, no.4, p.224-227.
- (3) Takei, M. et al. “Analysis of IPM Current Oscillation under Short Circuit Condition”. International Symposium on Power Semiconductor Devices and ICs

(ISPSD), 1998.

- (4) 山口義弘ほか. SiCパワーモジュールのダイナミックインテグリティ設計. 三菱電機技報. 2016, vol.90, no.5, p.283-286.
- (5) M. Spang. et al. "Differential-Mode Oscillations between parallel IGBTs in Power Module." ECCE, 2015.
- (6) Ohi, T. et al. "Investigation of Gate Voltage Oscillations in an IGBT Module under Short Circuit Conditions." IEEE, 2002.



狩野 太一

パワー IC のデバイス・プロセスの開発・設計に従事。現在、富士電機株式会社半導体事業本部開発統括部デバイス開発部主査。



宮澤 康弘

パワー IC のデバイス・プロセスの開発・設計に従事。現在、富士電機株式会社半導体事業本部開発統括部デバイス開発部。



鎌田 省吾

パワー IC のプロセス開発に従事。現在、富士電機株式会社半導体事業本部開発統括部プロセス開発部。





＊本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。