

赤外線放射温度計による半導体素子の熱挙動の観測

Study of Thermal Behavior of Semiconductor Devices Using an Infrared Radiometric Microscope

橋本 理* Osamu Hashimoto · 上条 洋* Hiroshi Kamijo

I. まえがき

半導体素子は過電圧、過電流および過大なスイッチング損失によって破壊されるが、この場合、破壊に直接結びつく重要な要因は、最終的には“熱”であることが多い。したがって、半導体素子の熱的挙動を把握することは、素子を設計するうえで、また安全に使用できる条件を決めるうえで重要である。

従来、一般的に利用されている半導体素子の熱的挙動の測定手段としては、

- (1) 半導体素子の電気的特性の温度依存性の利用
 - (2) 熱電対やサーミスタなどの感熱素子の利用
- などが挙げられる。しかし、局部的でしかも過渡的な熱現象の把握、特に $\mu\text{s} \sim \text{ms}$ の熱挙動を数十 μm^2 のオーダの微小面積で測定する場合には、(1)、(2)は有効な手段になり難い。特に、最近適用上要望が強まっている半導体素子の動特性の解明には、局部的でしかも過渡的な熱現象の把握が不可欠である。これらの要求を満たす手段として、赤外線放射温度計 (Infrared Radiometric Microscope 略称 IRM) による温度測定はきわめて有効である。

この方法により、サイリスタのサージ電流破壊耐量、逆電圧期間中の正のゲート電流耐量、トランジスタの二次破壊現象につき、過渡的に局所的な観測を行ったので、ここにその結果を報告する。

II. 装置の概要

1. 原理

物体から放射される赤外線の総エネルギー量とその物体の表面温度との関係は、Stefan-Boltzmann の法則により、次式で表される。

$$W = \epsilon \sigma T^4$$

W : 総エネルギー量 (W/cm^2)

ϵ : 放射率

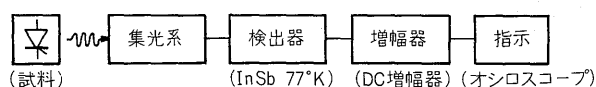
σ : 定数 ($5.673 \times 10^{-12} \text{ W}/\text{cm}^2\text{deg}^4$)

T : 絶対温度 ($^\circ\text{K}$)

この総エネルギー量 (W) を InSb 赤外線検出器 (77°K) で測定することにより、温度を決定する。

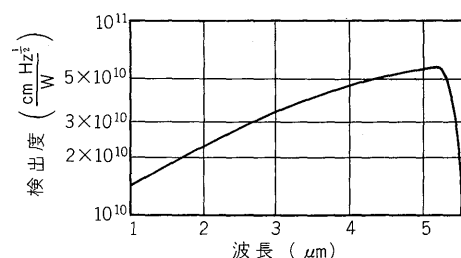
2. 装置の構成

第1図にIRM装置の構成ブロック図を示す。試料から放射される赤外線は、測定感度を向上させるために、集光系によって InSb 検出器に集められ、そのエネルギーは電気信号に変換された後、増幅されてオシロスコープやメータに指示される。この InSb 検出器の分光検出能を第2図に示す。検出波長帯域は $1 \sim 5.4 \mu\text{m}$ の範囲である。



第1図 IRM装置の構成ブロック図

Fig. 1. Block diagram of the IRM instrument used



第2図 InSb (77°K) の分光検出能

Fig. 2. Spectral detectivity of the InSb detector at 77°K

3. 仕様

第1表に使用したIRM装置 (パナソニック製 RM-2A を改造したもの) の仕様を示す。応答速度が $8 \mu\text{s}$ と速く、測定面積の直径が $35 \mu\text{m}$ と小さい点が本装置の特徴である。

第1表 IRM装置の仕様

Table 1. Specifications of the IRM instrument

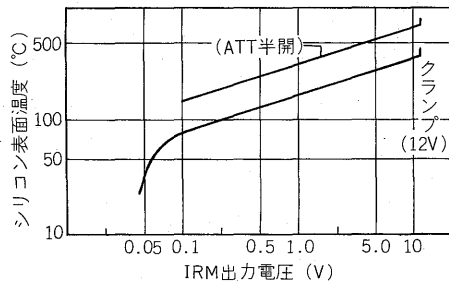
温度範囲	0 ~ $1,500^\circ\text{C}$
スポットサイズ	$35 \mu\text{m} \phi$
感度	0.5°C (20°C にて)
応答速度	$8 \mu\text{s}$ (max)
検出器	InSb (77°K)
形式	RM-2A
メーカー名	パナソニック

4. 校正曲線

試料 (サイリスタやトランジスタなど) の表面温度と、

* 中央研究所

IRM装置の出力電圧との較正曲線は次のようにして求めた。まず試料を均一に加熱し、熱平衡状態にある試料のシリコン表面温度を熱電対で測定し、また同時にIRMの出力電圧を測定する。このようにして、第3図のようなシリコン表面温度とIRMの出力電圧の関係(較正曲線)を得た。



第3図 IRMの較正曲線

Fig. 3. Calibration curves for the IRM measurement

本較正曲線によって、IRMの出力電圧を温度に変換することができる。IRMの出力電圧は最大12Vまで測定でき、これ以上の出力電圧になる場合は光量を絞り、出力電圧を12V以下に抑えて測定し、そのときの較正曲線(ATT半開)を利用して温度を読み取る。

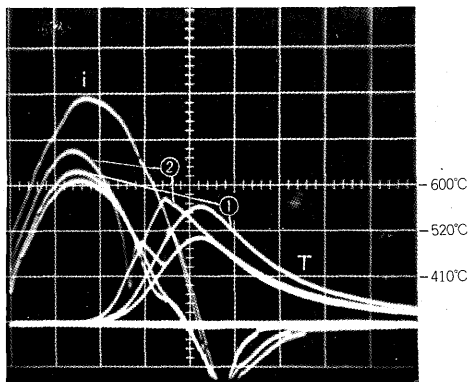
III. サイリスタおよびパワートランジスタの熱挙動

1. サイリスタのサージ電流破壊時の温度測定⁽¹⁾

2,500V 80A相当の低速サイリスタと1,300V 80A相当の高速サイリスタを試料とし、サージ電流(約10ms 正弦半波 1サイクル)を通電し、サイリスタが破壊する電流とシリコン表面温度を測定した。

第4図は、サージ電流通電時の電流と温度の波形の例を示す。①は破壊前、②は破壊時の波形である。

第2表はサージ電流破壊時の電流密度とシリコン表面温度を示す。破壊時の電流密度は1,800 A/cm²前後、シ



i : 500 A/div, T : 2 V/div (ATT半開)
t : 2 ms/div

第4図 サイリスタのサージ電流通電時の電流・電圧波形例
Fig. 4. Waveforms of surge currents loaded and surface temperatures in thyristors ① before and ② at destruction

第2表 サイリスタのサージ電流破壊試験結果

Table 2. Estimated current density and destruction temperature in thyristors

タイプ	No.	電流密度 (A/cm ²)	シリコン表面温度 (°C)
低速サイリスタ	1	1,450	620
	2	1,850	590
	3	2,200	540
	4	1,900	550
高速サイリスタ	5	2,250	560

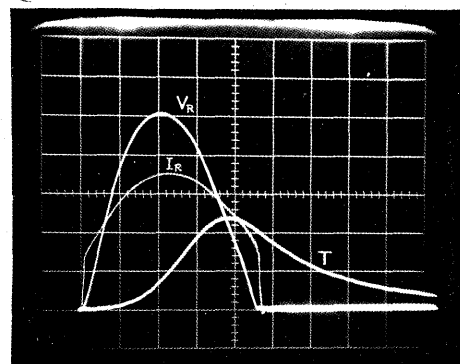
リコン表面温度は580°C前後である。この破壊温度は、サイリスタエレメントのシリコンウェハと支持板の間にあるAl-Si共晶の共晶温度と密接な関係がある。また、測定された破壊時の電流密度は、通常の過電流耐量試験の際の破壊時電流密度より幾分小さな値になっているが、これは、本実験では温度測定の都合上、特別に設計された電極を用いているため熱放散が悪くなっているためと考えられる。

2. サイリスタの逆電圧期間中のゲート電流による温度上昇

サイリスタが逆阻止状態にあるとき、ゲートとカソードの間に正のゲート電流を流すと、ゲート周辺の温度が異常に上昇し、サイリスタが劣化する場合もある。ここでは、センタタイプの増幅形ゲート構造をもつ2,500V級サイリスタと、エッジタイプの通常形ゲート構造をもつ2,500V級サイリスタを試料として、アノード-カソード間に逆電圧を印加し、ゲート電流を流した時の逆漏れ電流の増加とゲート近傍の温度上昇を測定した。

第5図は逆電圧、逆漏れ電流、温度の各波形を示す。

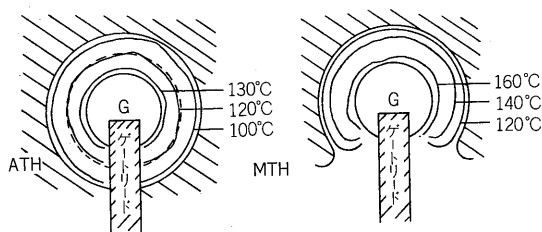
第6図(a), (b)は、ゲート近傍の温度分布を示す。センタタイプの増幅形ゲート構造サイリスタの方が温度上昇が小さく、しかも面内分布はほぼ同心円状に均一になって



V_R : 500 V/div, I_R : 0.2 A/div
T : 1 V/div, t : 2 ms/div

第5図 サイリスタの逆電圧期間中のゲート電流による逆電圧(V_R), 逆漏れ電流(I_R), 温度(T)の各波形例(I_G=3.0 A_{DC}のとき)

Fig. 5. Typical behavior of reverse voltage, leakage current and temperature in thyristors



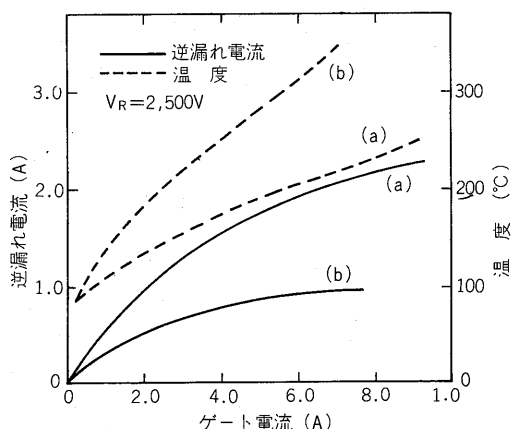
(a) 増幅形ゲート (b) 通常ゲート

第 6 図 サイリスタのゲート近傍の温度分布
($I_G=3.0A_{DC}$, $V_R=2,500V$)

Fig. 6. Temperature distribution in the vicinity of gate electrode of thyristors at $I_G=3.0A_{DC}$ and $V_R=2,500V$

いる。

第 7 図はゲート電流に対する逆漏れ電流と温度上昇について示す。センタタイプの増幅形ゲートサイリスタの方が逆漏れ電流の増大は大きい温度上昇は小さい。これは、このサイリスタは増幅形ゲートであるために、逆漏れ電流の大部分は補助サイリスタ部で発生し、ゲート部で発生する逆漏れ電流値としては、エッジタイプの通常サイリスタとほぼ同等であること、また、センタゲート構造のため、逆漏れ電流はゲート周辺でほぼ同心円状に均一に発生し、エッジゲート構造の場合よりもゲート部での逆漏れ電流密度は小さくなるために、温度上昇が小さくなることで説明される。通常の動作状態においてはエッジタイプの通常形ゲート構造をもつ 2,500V 級サイリスタも十分な耐量を有していることが多くの使用実績で証明されており、今回、センタタイプの増幅形ゲート構造をもつ 2,500V 級サイリスタはそれ以上に耐量が多いことが確認された。



第 7 図 サイリスタの逆漏れ電流と温度上昇のゲート電流 (直流) 依存性

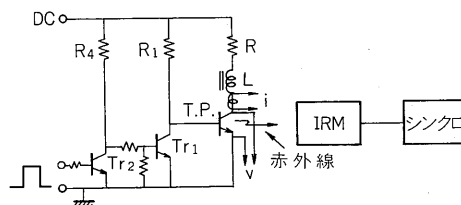
Fig. 7. Leakage current and temperature variation vs. gate DC current in thyristors

3. パワートランジスタの二次破壊時の熱挙動

600 V 級ダーリントン形パワートランジスタの二次破壊モードにおける温度上昇を測定した。

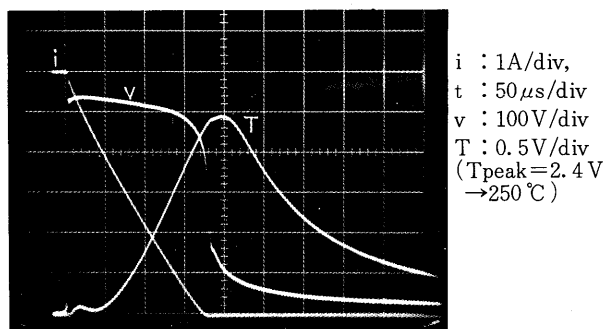
第 8 図はラッチング法による二次破壊耐量試験回路を示す。Tr₂ のベースに 10 ms 幅の十分大きなパルス電流

を通電すると、Tr₂ はオン状態になり、Tr₁ はオフ状態になる。このため、Tr₁ のコレクタ電位は上昇し、試料 (T.P.) のベースに電流が供給されるようになる。そして試料はオン状態になり、10 ms 幅の電流が流れ、その後オフ状態に移行する。この移行する過程でコイルに蓄えられたエネルギー ($\frac{1}{2}LI^2$) により、第 9 図の電圧、電流および温度波形が試料に印加される。第 3 表にその時の温度ピークの面内分布を示す。ボンディングパッド部分のベースに対向するエミッタ Al 電極端に高温個所が集中している。また、ストライプの外側 Point No. 7~12, 29~35 は温度がほとんど上昇していない。



第 8 図 ラッチング法によるパワートランジスタ二次破壊耐量試験回路

Fig. 8. The test circuit for secondary breakdown of power transistors by the latching method



第 9 図 パワートランジスタの電圧・電流・温度波形例 (ラッチング法)

Fig. 9. Typical waveforms of voltage, current and temperature during secondary breakdown test of power transistors (latching method)

第 4 表はラッチング法による破壊電流と破壊温度の測定結果を示す。破壊温度は 300 °C 以上であり、また、破壊個所はすべてボンディングパッド部のベースに対向するエミッタ Al 電極端部である。これは前述の温度分布測定時の最高温度を示した個所と一致する。また温度のピークになる時点は、コレクタ電流がゼロになる時点から 20 ~ 50 μs 程度遅れている。これは熱源がシリコン表面から 30 μm の深さにあるためと考えられる。

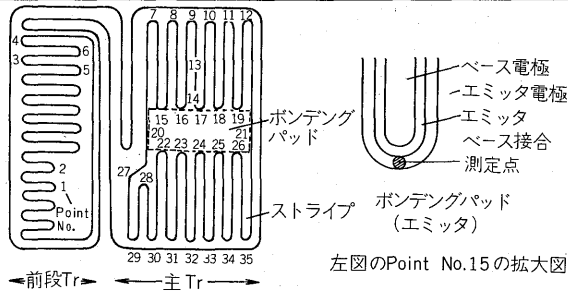
第 10 図は丘越え法による二次破壊試験回路を示す。試料に 10 ms 幅の矩形波電圧を印加し、ホットスポットの発生個所および面内温度分布を測定した。

第 11 図は丘越え法による二次破壊観測波形を示す。ま

第3表 パワートランジスタの面内温度分布 (ラッチング法)

Table 3. Surface temperature distribution in a power Darlington transistor (latching method)

シリコン表面温度 (°C)								$I_C = 6\text{ A}$, $L = 10\text{ mH}$			
Point No.	#21	#23	#1	#4	Point No.	#21	#23	#1	#4		
1	30	—	30	—	20	120	—	100	—		
5	—	—	—	—	21	60	—	75	—		
6	30	—	50	—	22	250	180	140	130		
7	60	—	60	—	23	220	180	188	150		
8	60	—	60	—	24	165	170	158	160		
9	60	—	70	—	25	150	210	180	160		
10	60	—	75	—	26	150	140	127	140		
11	80	—	75	—	27	90	—	50	—		
12	60	—	84	—	28	150	140	100	140		
13	94	—	94	—	29	50	—	60	—		
14	133	130	120	107	30	50	—	60	—		
15	165	180	165	200	31	50	—	60	—		
16	198	170	190	200	32	60	—	50	—		
17	170	230	198	165	33	50	—	60	—		
18	170	130	140	100	34	50	—	50	—		
19	170	94	133	105	35	50	—	50	—		



第4表 パワートランジスタのラッチング法による破壊電流と温度

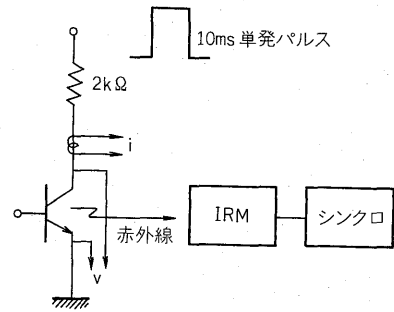
Table 4. Destruction currents and temperatures in power Darlington transistors (latching method)

素子No.	破壊電流 (A)	破壊温度 (°C)	破壊箇所 (Point No.)
#1	7.6 ~ 8.8	360 以上	17
#2	7.6 ~ 8.2	350 "	22
#4	8.1 ~ 9.0	310 "	16
#23	7.5 ~ 8.0	440 "	17

第12図は丘越え法によるホットスポットの面内温度分布を示す。ホットスポットが発生する箇所は、ボンディングパッド内である。これはラッチング法のホットスポット発生箇所と異なる。この点の解明は、今後検討を要する課題である。

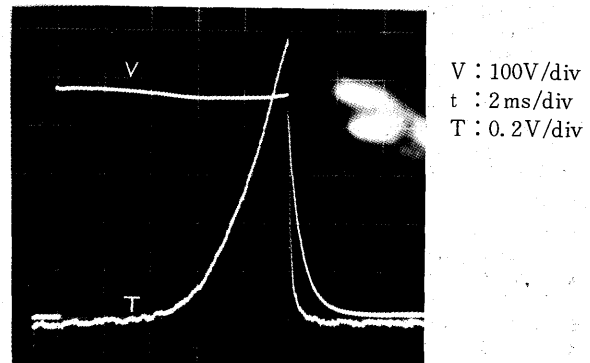
IV. あとがき

赤外線放射温度計 (IRM) を利用したサイリスタおよびパワートランジスタの過渡的局所的な熱挙動の実測例



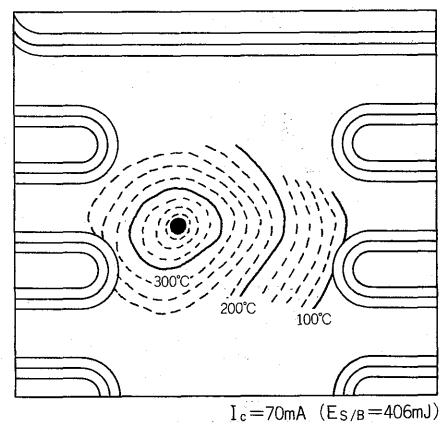
第10図 丘越え法によるパワートランジスタ二次破壊試験回路

Fig. 10. Test circuit for secondary breakdown of transistors by the pulse bias method



第11図 パワートランジスタの電圧・温度波形例 (丘越え法)

Fig. 11. Typical waveforms of voltage and temperature in a power transistor (pulse bias method)



第12図 パワートランジスタの面内温度分布 (丘越え法)

Fig. 12. Surface temperature distribution in a power transistor (pulse bias method)

を紹介した。今後、このような観測法による熱現象の実験的検討によって、半導体素子の設計、製造および回路への適用技術が一層充実するものと期待される。

参考文献

(1) 大胡・佐藤・橋本：昭和51年電気学会全国大会530



＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。