

6,000V 高 耐 圧 整 流 素 子

6,000V High Voltage Rectifier Diodes

角 野 公 威* 松 沢 秀 美*
Kimitake Sumino Hidemi Matsuzawa

I. ま え が き

大容量高耐圧素子として、先に 3,000V 風冷 800A 平
形整流素子 KSP03⁽¹⁾ ならびにスタッド形で 4,000V
300A SIN03-40 を製作納入しているが、さらに高耐圧
化した素子の研究を進め、6,000V 風冷 700A 素子の開
発に成功し、製造技術を確立した。電力用整流素子、サイ
リスタの耐圧向上には近年めざましい進歩があり、当
社においても、素子設計技術、製造技術の形状、製法、
ラックなどにおいて新規な考案による手法を用いて、高
耐圧化に成功した。この素子は、当社のほかの電力用素
子と同様すぐれた特性を有し、電鉄変電所、車両、化学
用などの高電圧電源として最適のものである。

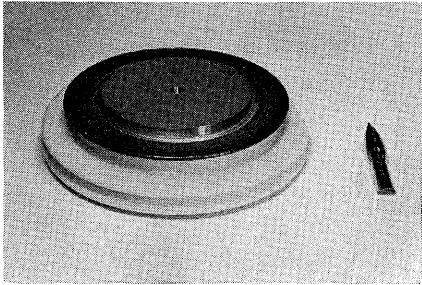
本稿は、素子の構造、特性および高耐圧化の問題点な
どにつき紹介するものである。

II. 素子構造と特性

1. 構 造

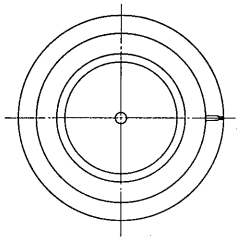
素子構造は、加圧接触、平形で大容量素子として最適
の構造である。第 1 図、第 2 図に外観写真および外形寸
法図を示した。セラミック部分は、高耐圧素子のため、
二重ひだ付きとして、もっとも過酷な使用条件のもとで
VDA規格を満足するよう考慮している。平形ケースに
ついては、すでに、いままでの整流素子、サイリスタで
充分な実績を重ねており、製造面では、熱サイクル、熱
抵抗、順電圧降下に影響を与える材料の処理、材質の吟
味、また特に、エレメント、ケース接触面の状態、平たん
度、平行度には充分な考慮をした管理を行なっている。

2. 特 性

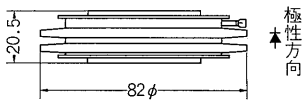


第 1 図 外 観

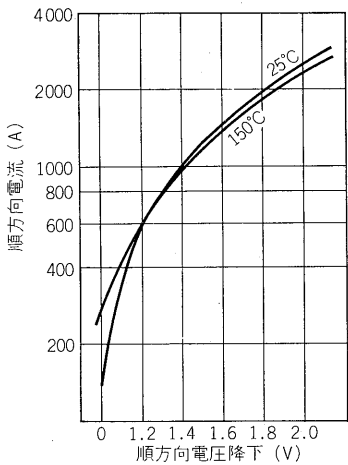
Fig. 1. Outer view of 6,000 V rectifier diode



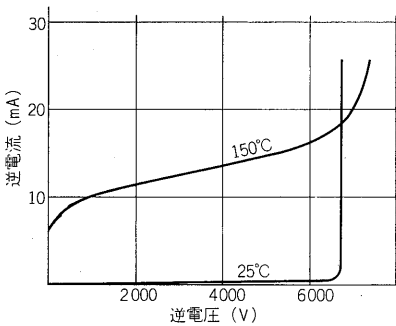
第 2 図
外形寸法図
Fig. 2.
Size of 6,000 V
rectifier diode



第 3 図、第 4 図は、素子の順方向特性および逆方向特
性を示す。逆方向特性は、室温でいわゆるアバランシェ
特性となり、150℃ でも室温耐圧より高い電圧でアバ
ランシェ領域に入る良好な特性を示している。第 1 表に



第 3 図
順 方 向 特 性
Fig. 3.
Forward characteristics



第 4 図 逆 方 向 特 性
Fig. 4. Reverse characteristics

* 中央研究所

第1表 定格および特性
Table 1. Ratings and characteristics

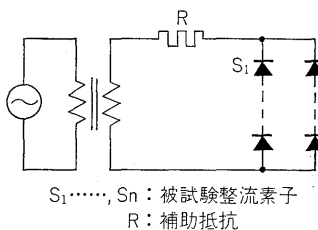
項	目	記 号	
1	繰返しピーク逆電圧	V_{Ro}	6,000V
2	非繰返しピーク逆電圧	V_{Rt}	6,600V
3	順電圧降下	V_F	$T_i=25^\circ\text{C}$ $\leq 1.9\text{V}$ 2,200 A
4	定格平均順電流	I_F	700A
5	逆電流	I_{Ro}	$\leq 5\text{mA}$ (25°C) $\leq 50\text{mA}$ (150°C)
6	過電流耐量	I_S	10,000A (60Hz 1 サイクル)
7	許容周波数		$\leq 2,000\text{Hz}$
8	定格接合部温度	T_i	$-40\sim+150^\circ\text{C}$
9	接合部冷却体間熱抵抗	R_{th}	$\leq 0.04\text{ deg/W}$
10	保存温度	T_{stg}	$-40\sim+150^\circ\text{C}$
11	標準締付加圧力		1,000 $\pm$ 100 kg

は、素子の定格および特性をまとめて示した。

3. 信 頼 度

逆方向特性の信頼度を決めるに重要な高温逆電圧印加試験、高温放置試験および等価負荷試験の結果は、きわめて良好で、逆漏れ電流の変動は認められなかった。その他寿命試験としての長期間欠負荷試験、温度サイクル試験 (12,000 回) に対しても、逆漏れ電流、順電圧降下、熱抵抗の変化は、きわめて少なかった。

各種の試験は、通常採用されている方法で行ない、たとえば、温度サイクル試験は、JEC178 規格により、第5図に示すような回路で、素子に定格平均順電流に等しい平均値の正弦半波電流を、定格素子温度に達するまで通電した後、電流をしゃ断してケース温度が、50°C 以下になるまで冷却する。これを1サイクルとして回数をくり返すものである。



第5図
熱サイクル試験回路
Fig. 5.
Heat cycle test circuit

S_1 S_n : 被試験整流素子
 R : 補助抵抗

III. 素子高耐圧化の問題点

(1) 整流素子 KSP03, KSN03 および SIN03 のエレメントは拡散合金形を採用しているが、さらに高耐圧化を進めるにあたり、本素子では、表面設計および表面処理のうえで制御のしやすい全拡散形の p^+nn^+ 構造とした。一般に、高耐圧を得るためには、 n 層の比抵抗を大きく、かつ n 層幅も広くする必要がある。しかし、一方では、 n 層幅を大きくすると、順電圧降下が増すので、この面からは、 Si 厚はできるだけ小さくしなければならない。

素子設計では、 Si の比抵抗の選択と同時に、 Si 厚の決定は、重要な点である。大容量高耐圧素子を開発するに際して、解決しなければならない点は種々あるが、特に上記の Si 厚の決定とも関連した。

(1) 表面耐圧の向上

(2) 拡散技術の向上

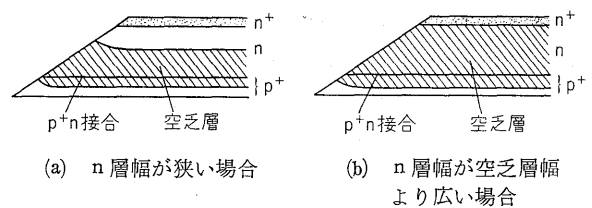
は、重要なポイントになっている。以下これらの点を中心に、高耐圧化に伴う問題点および、その対策などにつき述べる。

1. 表面耐圧向上

半導体表面は、ふんい気、表面処理などに非常に敏感で素子の耐圧はしばしば表面耐圧で決まり、不安定性の要因ともなっている。また、この表面ブレイクダウンは、表面の局部で電界強度が大きくなり、電流増倍を起こし、電流を集中的に流すために起こる⁽³⁾。したがって、表面耐圧の向上は、表面電界強度の軽減の問題になってくる。

1) 接合構造と表面電界強度ピーク

比較的低電圧の素子の場合には、 n 層中の空乏層の拡がり小さく、空乏層は第6図(a)のように、まだ、 n^+ 領域まで達していない。この場合には、表面電界強度分布に、局所的な電界強度ピークができることは普通ない。

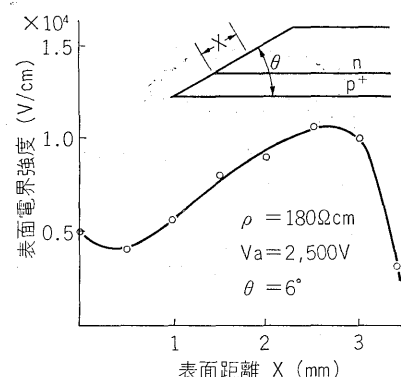


第6図 空乏層の広がり

Fig. 6. Expansion of depletion region

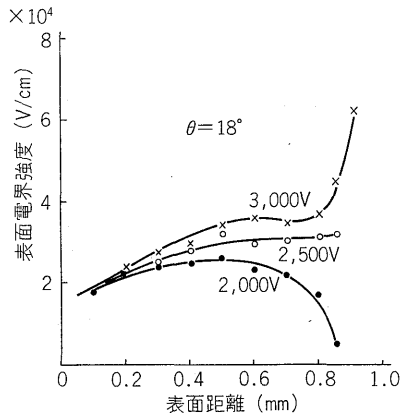
第7図は、その一例として、2,500V 印加時の電界強度分布の実測例を示した。電界強度は、 p^+n 接合から n 層表面になだらかに増加した形になっている。

ところが、第8図の例は、 n 層幅がある程度小さい試料で、印加電圧を変えたときの電界強度分布で、2,000V



第7図 表面電界強度分布の実測例

Fig. 7. Examples of measured surface field distribution



第8図 印加電圧と表面電界強度分布

Fig. 8. Relations between surface field distribution and applied voltage

印加の場合には、空乏層は n^+ 領域で達しておらず第7図の例のように、ピークのない分布となるが、印加電圧を3,000Vに増すと、今度は空乏層が n^+ 領域まで拡がりきり、そこで拡がりがおさえられて、 nn^+ 部に電界強度ピークを生じる。

高耐圧素子の場合には、空乏層は拡がりやすい(5)えに、順電圧降下が大きくなるため、Si厚はある程度以上大きくできないため、第6図(b)のように、空乏層がn層いっぱい拡がった形となる。この場合、もし、処理の不完全などのため、 nn^+ 部に弱点があると、そこで電界強度が強調されて大きくなり、表面ブレイクダウンが起こり、耐圧を規定する。このように、n層幅の大きさは表面電界強度分布に大きな影響を与える。

また、いま一つは、形状で、表面の形によって電界強度分布は変ってくる。たとえば、一段ベベル構造とした場合に、ベベル角 θ が電界強度分布に影響する例として、第9図に、6,000V 印加時の分布(計算値)を示した。この場合には、角度 θ が小さいほど、沿面距離が大きくなるため、 nn^+ 部のピークをはじめ電界強度は全

体に小さくなっている。

2) 表面電界強度ピークの軽減

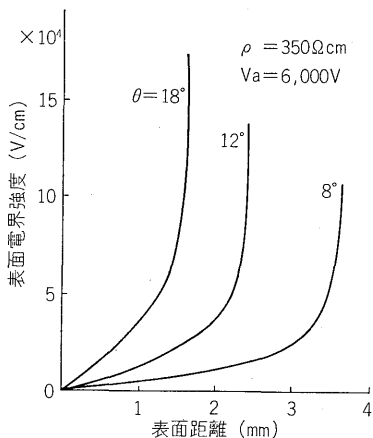
高耐圧素子で、表面耐圧を向上するためには、 nn^+ 部に生じる電界強度ピークを軽減し、Si表面から、傷、付着物といった局部的電流増倍の原因となるものを完全に除くことが必要である。

本素子で、全拡散形を採用したのは、拡散合金形の場合には、 nn^+ 接合の位置は固定し自由に変えられないのに対し、 nn^+ 接合を拡散で作る場合には、ラッピング、エッチングなどにより、その位置、表面形状を変え、表面電界強度分布をコントロールすることができるためと、エッチングなどの表面処理が、拡散形の方が容易であり、欠陥などがある場合にも比較的楽に除去できるなどの利点があるためである。

表面電界強度ピークが、Si厚、表面形状といった素子構造を考慮することで軽減できることは、1)に述べたが、表面処理によっても電界強度を変えることができる。エッチング、表面保護被膜処理は、電気的にSi表面に、正または負の電荷が付着した状態に対応し、この表面電荷が表面電界強度分布に影響する。

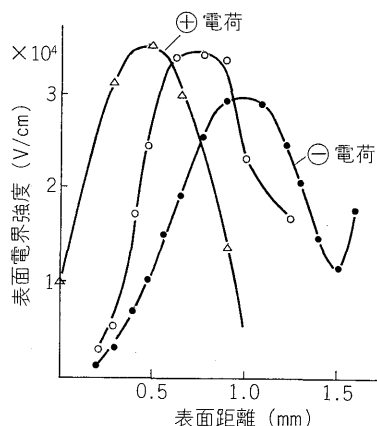
第10図(a),(b)は、表面電荷がどのように影響を及ぼすか、空乏層が領域に達しない時、達している時の例である。(a)は実験的に、(b)は計算により求め、実測と計算結果が一致することは、ほかの例で確認されている。この例からわかるとおり、負電荷のある場合には、表面近くで空乏層は、 n^+ 領域の方向へ拡がろうとする傾向となり、正電荷の場合は、逆に縮まろうとする。高耐圧素子で空乏層が n^+ 領域まで拡がっている場合には、第10図(b)のとおり、正電荷のあるような処理をすると、 nn^+ 部の電界強度ピークは軽減されるわけである。

本素子は以上述べた観点より、全拡散形にして、 nn^+ 部の形状、処理のコントロールがしやすいようにし、また、特に高耐圧素子に対して有効な特殊な表面保護ワニ

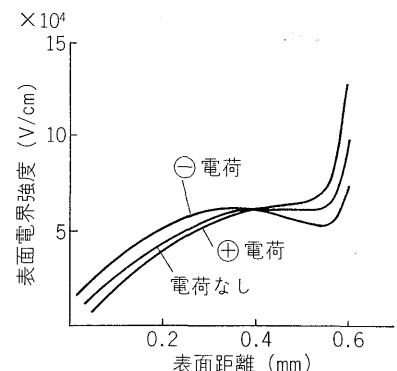


第9図 ベベル角と表面電界強度分布

Fig. 9. Bevel angle dependence of surface field distribution



(a) 空乏層幅がn層幅より狭い場合



(b) 空乏層がn層いっぱい広がった場合

第10図 表面電荷と電界強度分布

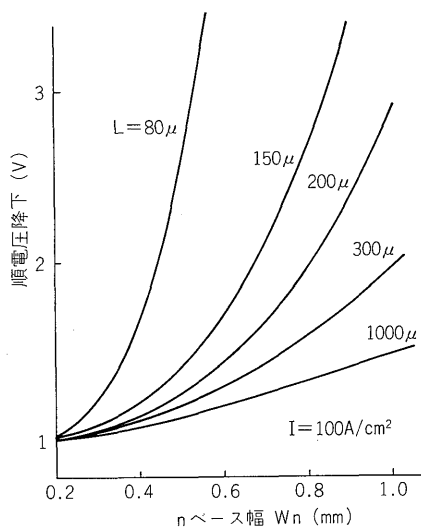
Fig. 10. Surface charge dependence of electric field distribution.

スを開発し、空乏層が容易に n^+ 領域まで拡がる場合にも、安定なアバランシェ特性ならびに長期運転中の信頼性の向上をはかることができた。

2. 拡散技術の向上

拡散技術は耐圧および順電圧降下に大きな影響をもっている。拡散に要求される条件の一つは接合面の平坦度であるが、接合面の凹凸は検知できず、このための問題はまったくなくなっている。

さらに、もう一つの特に重要な問題は、順電圧降下に関するもので、順電圧降下を小さく保つため、拡散により低下しやすい少数キャリアの拡散距離 L を長く保つことである。第 11 図は、拡散距離 L をパラメータとして、順電圧降下 V_F と n ベース幅 W_n との関係を示したもので、高耐圧素子では、 V_F を小さくするために W はできるだけ小さくする必要があることは述べたが、さ



第 11 図 少数キャリア拡散距離 L および n ベース幅 W_n と順電圧降下 V_F の関係

Fig. 11. Forward voltage drop V_F vs. n base width W_n with various value of minority carrier diffusion length L

らに拡散距離 L を大きくすることが大容量化のため必要なことがわかる。

当社の拡散技術は、従来の各種の素子で多くの実績をもつ拡散法の適用により、安定して少数キャリアの拡散距離を長く保つことができるようになっているので、 Si 厚がある程度厚くても順電圧降下は小さい。

IV. む す び

以上 6,000V 整流素子の構造、特性を紹介し、高耐圧化に伴う問題点について述べた。電力用素子の大容量化、高耐圧化は、依然として進められている。大容量化には、素子の製造技術と同時に、良い大口径 Si 単結晶ができることが、一つのポイントになるであろう。

また、耐圧は需要面、経済性の点からみて、現在すでに充分なところまで達しているとみるむきもある。しかし、技術の進歩によりいままでも考えられていた限界は、さらにひろげられ、新しい応用面、新しい使用法を見出して、これがまた高性能の半導体素子を案出するという関係を作る。高耐圧用に開発された技術はすでに製造中の半導体素子に導入され、これも直接安定性や歩どまり向上に、また素子の特性評価にもつながり、その波及効果も無視できない。

半導体製造上の基本的問題点である表面処理技術、およびライフタイムの向上ならびに素子特性を保持する耐疲労性を考えた構造については、多くの改良案があり、今後とも研究開発を進める所存である。

参考文献

- (1) 田原：富士時報 41 No.9 (昭 43)
- (2) H.S. Veloric and M.B. Prince. B.S.T.J. 36 975 (1957)
- (3) C.G.B. Garrett, W.H. Brattain. J.A.P. 27 299 (1956)
- (4) 角野・梅村：富士時報 42 No.2 (昭 44)
- (5) 渡辺：半導体とトランジスタ(2) 232 (昭 34)
- (6) R. Davies, F. Gentry. I.E.E.E. Trans. on Electron Devices ED-8, 313 (1964)



＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。