

第 4.5 世代 LLC 電流共振制御 IC 「FA6C60 シリーズ」

“FA6C60 Series” 4.5th-Generation LLC Current-Resonant Control ICs

小林 善則 KOBAYASHI, Yoshinori

山路 将晴 YAMAJI, Masaharu

山本 毅 YAMAMOTO, Tsuyoshi

脱炭素社会の実現に向けて、電子機器に搭載されるスイッチング電源への低待機電力化、高効率化の需要が高まるとともに、電源に搭載する部品の削減によるコストダウンも強く求められている。富士電機は、降圧回路を内蔵したスイッチング電源向け LLC 電流共振制御 IC を開発した。これにより、電源に搭載する部品 7 個が削減可能である。降圧回路を内蔵する上で IC の発熱が懸念されたが、ハイサイドドライバに新規レベルシフト素子を採用することにより、降圧回路を内蔵しても従来比で約 40% の損失低減が可能となり、IC 表面温度も約 6℃低減した。

Efforts to achieve a decarbonized society has increased the demand for switching power supplies that deliver low standby power, high efficiency, and low costs through component reduction. Fuji Electric has developed a LLC current resonant control IC for switching power supplies with a built-in buck circuit. This IC allows power supply circuits to reduce seven parts. Although the built-in buck circuit rose concerns about heat generation from the IC, the use of a new level-shift devices for the high-side driver has enabled the IC to reduce power loss by approximately 40%, lowering IC surface temperature by approximately 6°C.

① まえがき

脱炭素社会の実現に向けて、電子機器に搭載されるスイッチング電源には低待機電力化、高効率化の要求が高まっている。一方、電源に搭載する部品の削減によるコストダウンも強く求められている。富士電機はスイッチング電源の LLC 電流共振回路向けに、独自の制御方式によって電源の低待機電力化および高効率化を実現してきた。また、従来は IC 周辺回路で実現していた機能を IC に内蔵した LLC 電流共振制御 IC を提供し、電源に搭載する部品の削減および電源のコストダウンに貢献してきた。

今回、従来の低待機電力化、高効率化および多機能化を踏襲しつつ、降圧回路を内蔵することでさらに電源に搭載する部品の削減を実現した第 4.5 世代 LLC 電流共振制御 IC 「FA6C60 シリーズ」を開発した（図 1）。

本稿では、FA6C60 シリーズの概要と特徴および適用効果について述べる。

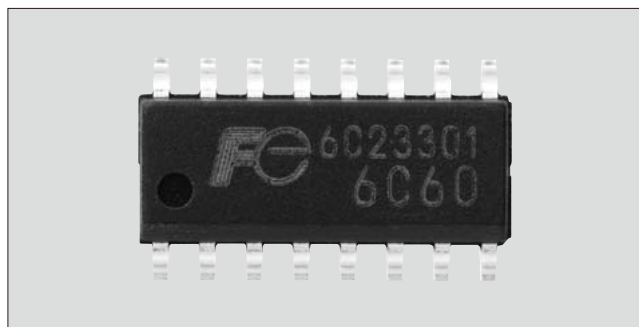


図 1 第 4.5 世代 LLC 電流共振制御 IC 「FA6C60 シリーズ」

② 製品の概要

本製品は、LLC 電流共振回路の MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）ドライバ、力率改善（PFC：Power Factor Correction）回路の動作電源の役割を担う降圧回路を IC に内蔵することにより、スイッチング電源に搭載する部品 7 個を削減可能とした。降圧回路の内蔵に際しては、ドライバ素子の損失を低減することにより IC の発熱を防止した。

本製品を適用することによって、LED 照明用の電源をはじめ産業用電源、TV などの民生用の電源の低待機電力化、高効率化と電源に搭載する部品の削減による電源のコストダウンが可能になる。図 2 に FA6C60 シリーズのブロック図を、表 1 に主な仕様を示す。

FA6C60 シリーズの構成は次のとおりである。

- LLC 電流共振回路を制御する制御ユニット（図 2 ①）
- ハーフブリッジ回路のハイサイドのスイッチング素子である MOSFET を直接駆動できる 780 V 耐圧ハイサイドドライバ（図 2 ②）
- 同じくローサイドの MOSFET を直接駆動できる 40 V 耐圧ローサイドドライバ（図 2 ③）
- 低消費電力で IC を起動するための 650 V 耐圧起動素子を含む起動回路（図 2 ④）
- MOSFET が破壊しないようゲート電圧を 20 V 以下に抑制する降圧回路（図 2 ⑤）

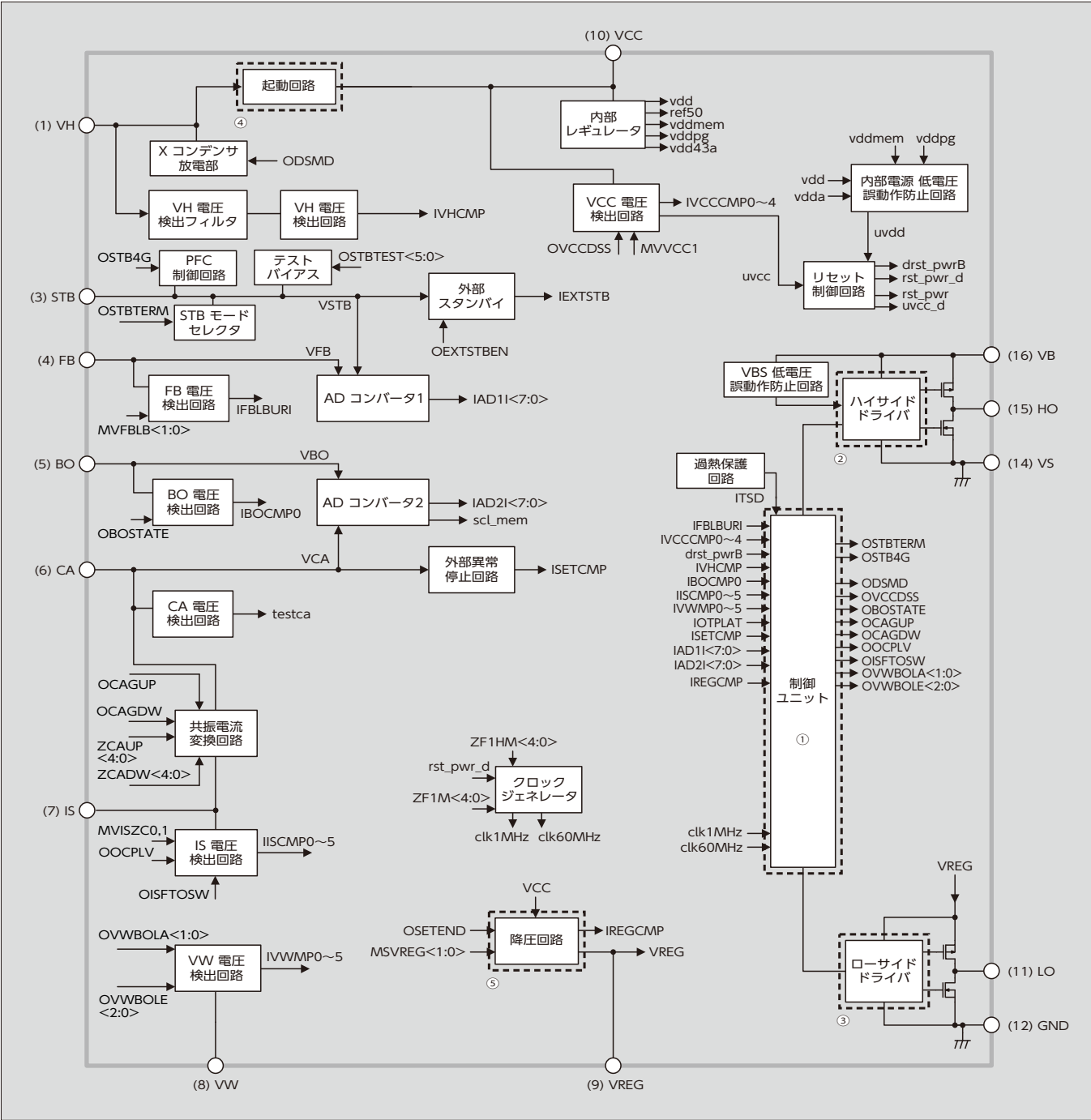


図 2 「FA6C60 シリーズ」のブロック図

表 1 主な仕様

項目	定格値
ハイサイド電源対地電圧 V_B	-0.3 ~ +780 V
ハイサイド電源電圧 V_{BS}	-0.3 ~ +30 V
ローサイド電源電圧 V_{CC}	-0.3 ~ +40 V
VH端子入力電圧 V_H	-0.3 ~ +650 V
降圧回路出力電流 I_{VREG}	-40 ~ +0.1 mA
動作ジャンクション温度 T_{vj} (系列により異なる)	-40 ~ +150 °C -60 ~ +150 °C

3 製品の特徴

3.1 ハイサイドドライバへの新規レベルシフト素子適用

ハイサイドドライバは、ハーフブリッジ構成のハイサイド側 MOSFET のゲートを駆動する役割を担っており、GND 基準の信号（最大 40 V）をハイサイド動作電源基準の信号（最大 750 V）にレベル変換するレベルシフト回路が内蔵されている。IC の発熱は、ほとんどがこのレベルシフト回路の構成デバイスであるレベルシフト素子の HVNMOS（High-Voltage N-channel Metal-Oxide-Semiconductor）で発生する。これはスイッチング時にレベル変換する際、HVMOS のソース・ドレイン間に数

百 V の高電圧がかかった状態でドレイン電流を流すため、瞬間的に数 W もの電力が HVNMOS で消費されるためである。従来のレベルシフト回路では、HVMOS のドレイン電流が大きく、発熱量が多かった。

発熱の低減には、レベルシフト素子のドレイン電流を減少させることが有効である。しかし、単に HVNMOS のチャンネル長やチャンネル幅を調整してドレイン電流を減少させた場合、スイッチング時に HVNMOS のソース・ドレイン間の接合容量の放電時間が長くなり、IC の入出力伝達遅延時間が増加し信号が伝達できなくなる可能性がある。図 3 の回路モデルで示しているとおり、レベルシフト回路の伝達遅延時間 t_d は、HVMOS のドレイン電流 I_L とソース・ドレイン間容量 C_d の比に依存する。そのため、 I_L と C_d の両方を低減することがレベルシフト回路における発熱と伝達遅延時間増加の両方の抑制に効果的である。

今回、HVMOS の I_L と C_d を低減するため、新規レベルシフト素子を開発した。図 4 に従来のレベルシフト素子の平面構造と等価回路を、図 5 に新規のレベルシフト素子の平面構造と等価回路を示す。図 4 の従来のレベルシフト素子は、二つの HVNMOS がハイサイド回路領域と離隔して形成され、HVMOS とハイサイド回路領域との信号線はボンディングワイヤによって接続される⁽³⁾。そのため、デバイスの接合容量に加えてボンディングワイヤとチップ表面との間にも寄生容量があり、HVMOS の C_d 成分が

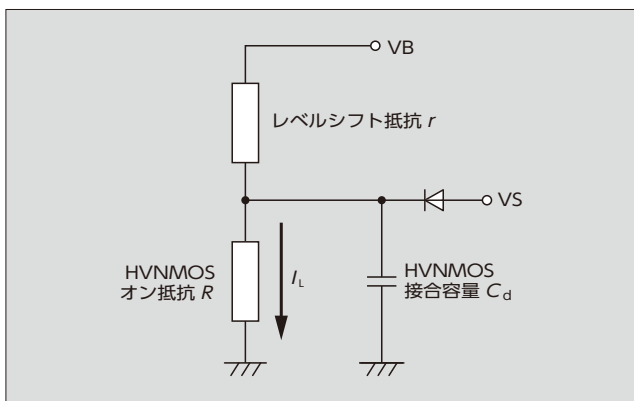


図 3 ハイサイドドライバのレベルシフト回路における回路モデル

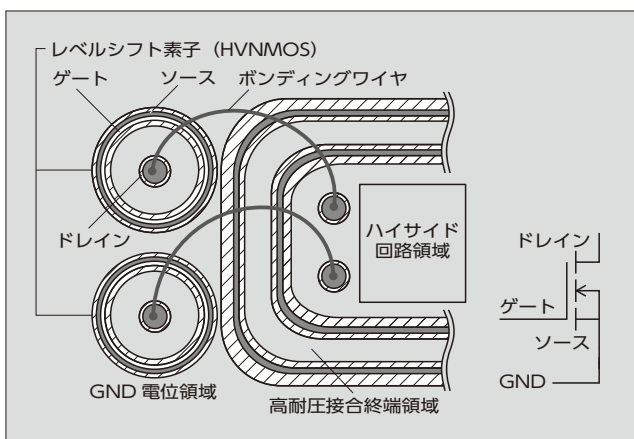


図 4 従来のレベルシフト素子の平面構造と等価回路

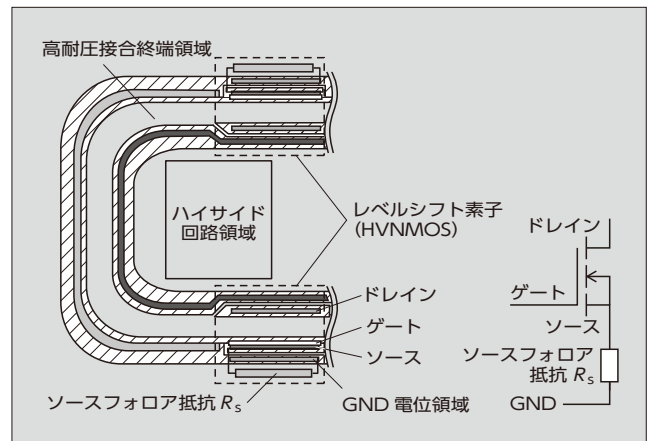


図 5 新規のレベルシフト素子の平面構造と等価回路

大きくなる。

一方、図 5 に示した新規レベルシフト素子では、高耐圧接合終端領域と HVNMOS が一体化した自己遮蔽構造を採用しており、HVMOS の C_d 成分がデバイスの接合容量のみとなり、接合面積を最小化することで C_d を小さくすることができる。また、図 5 に示したように、負の温度係数を持つポリシリコンで形成されるソースフォロア抵抗 R_s を HVNMOS のソースと GND 電位領域との間に接続した。これにより、負の温度特性を持つ HVNMOS のドレイン電流の温度依存性やばらつきを軽減することができる。

伝達遅延時間の主要因である C_d/I_L について、従来と新規のレベルシフト素子の比較を図 6 に示す。同一チャンネル幅で比較すると、従来よりも新規レベルシフト素子の方が C_d/I_L の値が小さくなっており、新規レベルシフト素子の方が I_L を減少させた場合の伝達遅延時間の増加を抑制できることを示している。

図 7 に、新規のレベルシフト素子における I_L の温度依存性を示す。200 Ω のソースフォロア抵抗を接続したレベルシフト素子の方が、0 Ω (ソースフォロア抵抗なし) の場合に比べて I_L の温度依存性が小さい。これは負の温度係数を持つソースフォロア抵抗が、負の温度特性を持つ HVNMOS のドレイン電流の温度特性を相殺する方向に

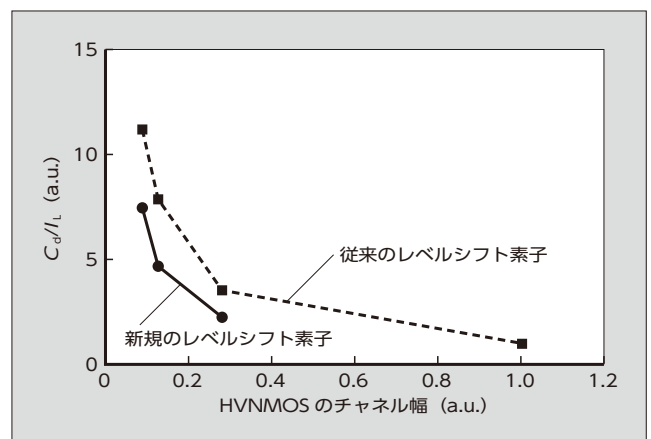


図 6 従来と新規のレベルシフト素子の比較

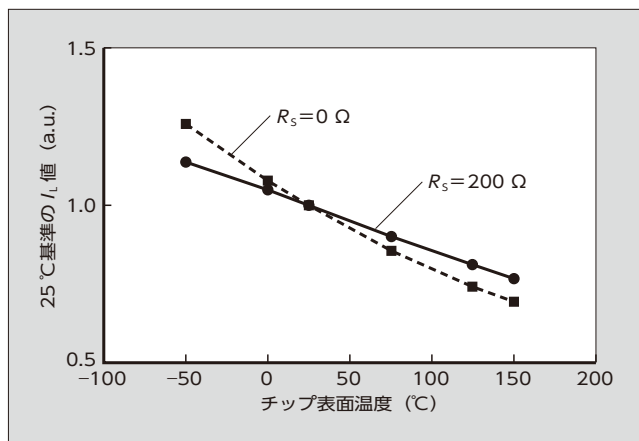


図 7 新規のレベルシフト素子における I_L の温度依存性

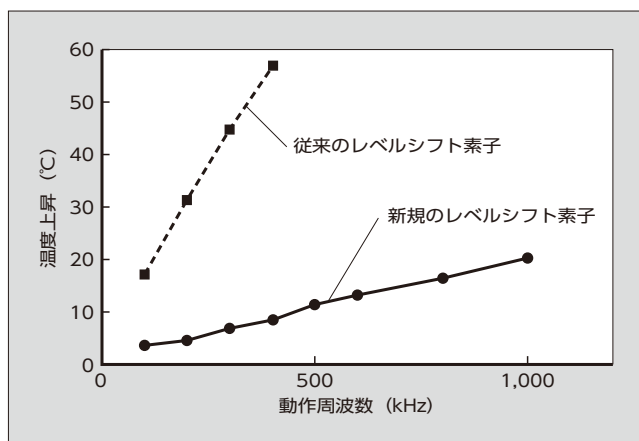


図 8 IC チップ表面温度とスイッチング周波数依存性の測定結果

働くためである。

従来のレベルシフト素子および新規のレベルシフト素子をそれぞれ搭載したハイサイドドライバ IC において、スイッチング動作開始から 1 分後の IC チップ表面温度とスイッチング周波数依存性の測定結果を図 8 に示す。従来のレベルシフト素子の IC の表面温度は代表的な動作条件である 200 kHz 動作時におよそ 31 °C 上昇するのに対し、新規レベルシフト素子の IC はおよそ 5 °C の上昇に抑えられていることがわかる。

今回、ハイサイドドライバに自己遮蔽構造の新規レベルシフト素子を採用したことで、入出力伝達遅延時間の増加を抑えつつ、HVN MOS のドレイン電流を小さくでき、損失および発熱量を低減することができた。また、新規レベルシフト素子のソース - GND 間に負の温度係数の抵抗を挿入し、オン電流の高温での急激な減少をソース - GND 間の抵抗によって防ぐことにより、オン電流を小さくしても全温度範囲で回路動作に必要な電流が確保でき、安定したレベルシフト回路動作を実現している。

3.2 降圧回路の内蔵

図 9 に電源回路構成を示す。

図 9 (a) に示すように、PFC 回路と組み合わせて電源を構成する場合、従来は LLC 電流共振回路の MOSFET ド

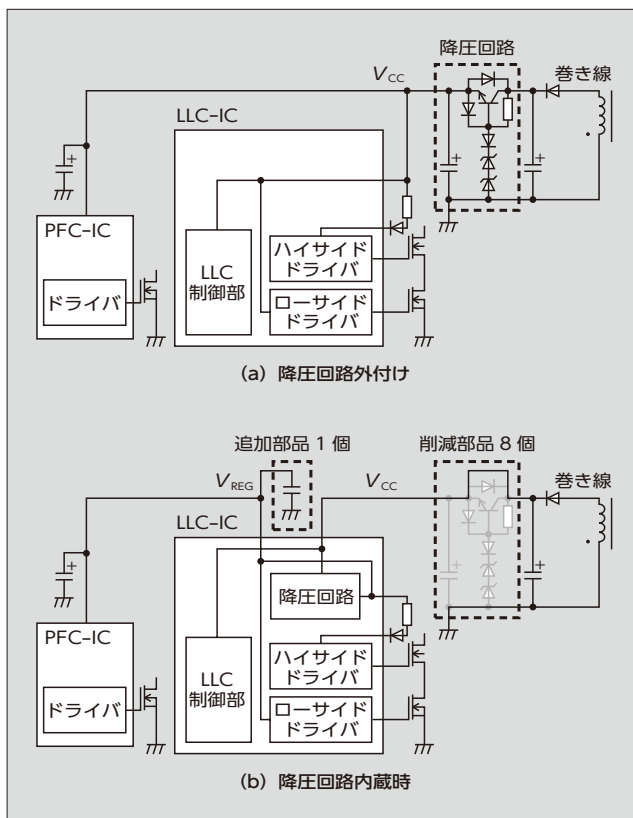


図 9 電源回路構成

ライバ、PFC 回路の動作電源として、降圧回路を外部回路で構成していた。これは、IC が駆動する MOSFET のゲートの定格電圧が 20 ~ 30 V であるため、電源の補助巻線から供給される VCC 端子電圧が 30 V を超えた場合でも MOSFET を破壊させないように降圧回路で VCC 端子電圧を 20 V 以下に抑えるためである。本製品では、図 9 (b) に示すように、降圧回路を IC に内蔵することにより外部で構成していた回路を不要とし、電源に搭載する部品を 7 個削減（8 個削減、1 個追加）した。降圧回路を内蔵する上で IC の発熱が懸念されたが、3.1 節で述べたとおりハイサイドドライバに新規レベルシフト素子を採用し大幅に損失および発熱を低減できたことにより内蔵が可能となった。図 10 に降圧回路図を、図 11 に降圧回路出力

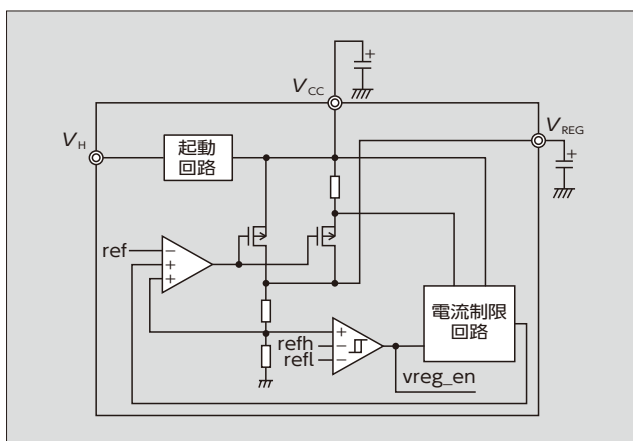
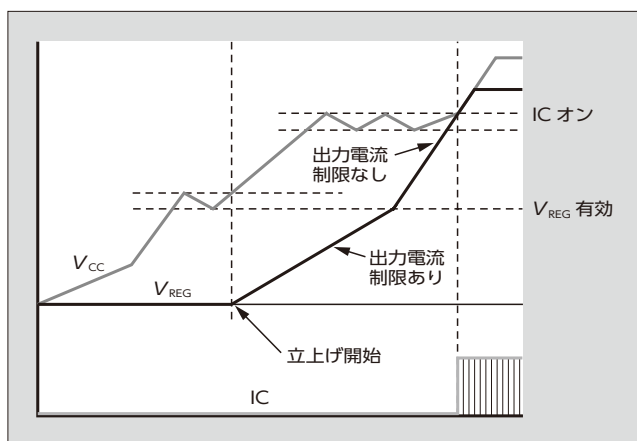


図 10 降圧回路図

図 11 降圧回路出力 (V_{REG}) の起動シーケンス

(V_{REG}) の起動シーケンスを示す。

IC が起動する際は V_H 端子と V_{CC} 端子との間の起動回路から V_{CC} 端子に接続された容量を充電することで V_{CC} 端子電圧を上昇させる。しかし、降圧回路出力である V_{REG} を V_{CC} と同時に立ち上げると、 V_{REG} 端子に接続された容量への充電も同時に行われるため、 V_{CC} 端子電圧が既定の電圧まで上昇せず、IC が動作開始できない懸念があった。そこで、 V_{REG} の立ち上がりを V_{CC} 端子電圧が上昇して IC が起動した後とし、 V_{REG} が所定の電圧に達するまではその出力電流を制限した。また、MOSFET が低電圧で駆動され破壊に至るのを防ぐため、 V_{REG} が所定の電圧に達するまでは MOSFET をゲート駆動しない制御とし、同時に PFC-IC も LLC-IC から通信信号を送信し停止する制御とした。これらにより、降圧回路を内蔵しても MOSFET が破壊することなく IC の動作開始を可能とした。

4 電源回路への適用効果

4.1 IC 損失の低減

図 12 に電源適用時の従来製品との損失比較を、図 13 に

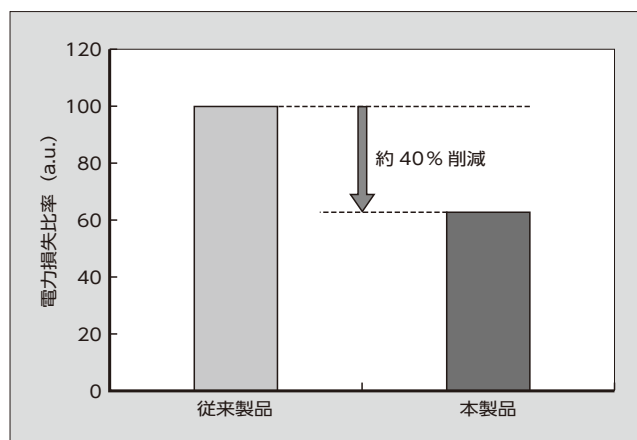


図 12 電源適用時の従来製品との損失比較

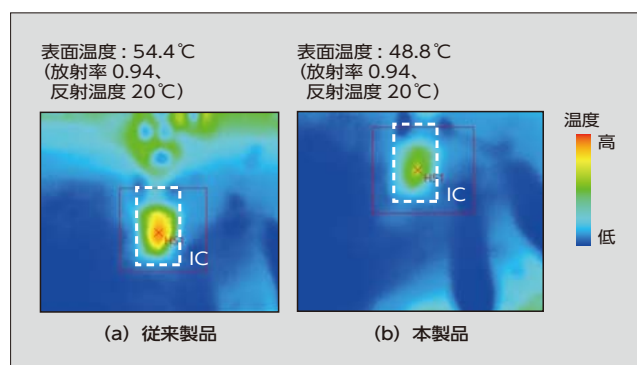
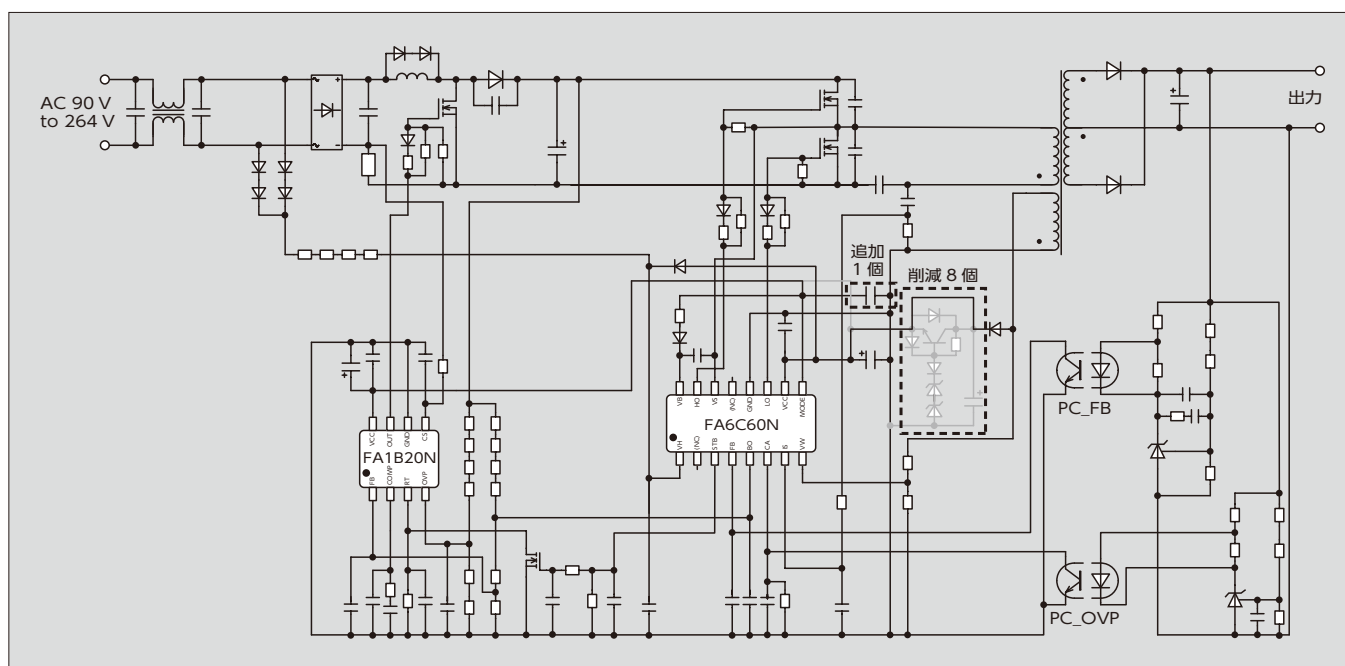
図 13 IC 表面温度の比較 ($T_a=30^{\circ}\text{C}$)

図 14 電源回路での適用例

IC 表面温度の比較を示す。ハイサイドドライバに新規レベルシフト素子を採用したことにより、降圧回路を IC に内蔵しても電源の損失を約 40% 削減し、IC 表面温度を約 6℃低減できている。この結果、電源基板のレイアウト設計をする際に、IC の発熱を考慮した放熱や電源に搭載する部品の配置などの発熱対策が容易になる。

4.2 スイッチング電源搭載部品の削減

「FA6C60N」を搭載した電源回路での適用例を図 14 に示す。降圧回路の内蔵により、従来と比較し電源に搭載する部品の 7 点削減でき、電源のコストダウンに貢献する。

5 あとがき

本稿では、第 4.5 世代 LLC 電流共振制御 IC「FA6C60 シリーズ」について述べた。ハイサイドドライバに新規レベルシフト素子を採用することで IC の発熱を大幅に低減し、降圧回路を内蔵することにより、電源に搭載する部品の削減および、電源のコストダウンを実現した。

今後も電源の低待機電力化、高効率化とともに電源に搭載する部品の削減を実現する IC を開発していく所存である。

参考文献

- (1) 園部孝二ほか. 高効率電源用の臨界モードPFC制御IC「FA1A60N」とLLC電流共振制御IC「FA6B20N」. 富士電機技報. 2016, vol.89, no.4, p.283-288.
- (2) 小林善則ほか. 第4世代LLC電流共振IC「FA6C00シリーズ」. 富士電機技報. 2019, vol.92, no.4, p.251-256.
- (3) 山路将晴ほか. 800V保証HVIC技術. 富士時報. 2010, vol.83, no.6, p.398-404.
- (4) Fujihira, T. et al. "Proposal of new interconnection technique for very high-voltage IC's". Japanese Journal of Applied Physics. 1996, vol.35, no.11, p.5655-5663.
- (5) Yamaji, M. et al. "600 V High Voltage Gate Driver IC (HVIC) with 1.0 MHz High Frequency Operation for LLC Current Resonant Power Supply". The 2018 International Power Electronics Conference. 2018, p.2774-2779.



小林 善則

スイッチング電源制御 IC の開発に従事。現在、富士電機株式会社半導体事業本部産業事業部産業設計第二部。



山路 将晴

パワー IC のデバイス・プロセスの研究開発に従事。現在、富士電機株式会社半導体事業本部開発統括部デバイス開発部主査。博士（工学）。IEEE 会員。



山本 毅

パワー半導体のフィールドアプリケーションエンジニア業務に従事。現在、富士電機株式会社半導体事業本部営業統括部応用技術部主査。





＊本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。