

SJ 構造適用による SiC-MOSFET の低損失化と信頼性向上

SJ Structure to Reduce Loss and Improve Reliability of SiC-MOSFETs

俵 武志 TAWARA, Takeshi

竹中 研介 TAKENAKA, Kensuke

成田 舜基 NARITA, Shunki

SiC-MOSFET の性能改善に向け、スーパージャンクション (SJ) 構造の研究を進めている。エピタキシャル成長 (n カラム形成) とアルミニウム (Al) イオン注入 (p カラム形成) を繰り返すマルチエピタキシャル法で SJ 構造を製造した SiC-SJ-MOSFET は、Al イオン注入によるドリフト層のライフタイム低減効果により、従来の SiC トレンチゲート MOSFET に比べて、逆回復時の蓄積電荷量の増加が抑制され、ボディダイオードの通電劣化が抑制された。SiC-SJ-MOSFET により、オン抵抗の低減のみならず、スイッチング損失低減や信頼性向上につながることを期待される。

Fuji Electric is conducting research on superjunction (SJ) structures to improve the performance of SiC-MOSFETs. A SiC-SJ-MOSFET has a SJ structure that is fabricated using a multi-epitaxial process, in which epitaxial growth (n-column formation) and aluminum (Al) ion implantation (p-column formation) are repeated. Al ion implantation reduces a carrier lifetime of the drift layer and suppresses the increase in reverse recovery charge during reverse recovery, alleviating the bipolar degradation of the body diode compared to conventional SiC trench gate MOSFETs. SiC-SJ-MOSFETs are expected not only to reduce on-resistance but also reduce switching loss and improve reliability.

① まえがき

2050 年のカーボンニュートラル実現に向けて脱炭素化が加速しており、自動車分野では電気自動車の普及が進んでいる。電気自動車の航続距離の伸長には車体の軽量化が重要であり、搭載されるモータ制御用インバータの小型・軽量化が求められている。そのためには、インバータ内のパワー半導体素子数の削減、素子の熱損失低減による冷却機構の簡素化が効果的である。このためインバータ用のパワー半導体は、従来のシリコン (Si) を材料とした IGBT (Insulated Gate Bipolar Transistor) と還流ダイオードの構成から、炭化けい素 (SiC) を用いた SiC-MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) に移行しつつある。

本稿では、SiC-MOSFET の高性能化に向けた最新の取り組みについて述べる。

② SiC-MOSFET の課題と対策

SiC-MOSFET はビルトイン電圧を生じないことやスイッチングを高速化できるなどの特徴を持っており、低電流動作時の導通損失やスイッチング損失が低減される。また、SiC が Si の約 8 倍高い絶縁破壊電界を持っていることから、ドリフト層中の不純物を高濃度化することにより耐圧を維持しつつ素子抵抗を下げるのが可能で、損失を低減することができる。さらに、MOSFET 形成に付随して形成されるボディダイオード (寄生ダイオード) を還流ダイオードに用いることで素子数を削減できる。

一方で、ユニポーラデバイスであるため、素子が高温化した際にフォノン散乱により電子移動度が低下し、ドリフト層の抵抗が大幅に増大してしまう。また、SiC-

MOSFET のボディダイオードに通電した場合、エピタキシャル層と基板界面やエピタキシャル層に内部の積層欠陥が拡張し、オン電圧が上昇する通電劣化現象が知られている。この現象は、ボディダイオード通電時にドリフト層に注入される少数キャリアの濃度上昇によって引き起こされることが分かっており、防止するには注入キャリアを抑制する必要がある⁽¹⁾。

富士電機では、高温時のドリフト層抵抗増大の問題を解決するため、ドリフト層にスーパージャンクション (Sj: Superjunction) 構造を備えた SiC-MOSFET (SiC-SJ-MOSFET) の開発を進めている。SJ 構造は p カラムと n カラムの繰返しからなり、空乏層が横方向に拡張するため、カラム中の不純物濃度を高めても耐圧を維持できる⁽²⁾。そのため、不純物濃度を高め電子密度を高くすることにより、高温で電子移動度が低下しても抵抗の増加を抑制することができる。SJ 構造化した際のドリフト層抵抗は、式(1)に比例して低下するため、高耐圧素子で pn カラムの繰返しピッチを縮めるほど低減効果が大きくなる⁽³⁾。

$$d \times E_c / V_B \dots\dots\dots(1)$$

d : pn カラムの繰返しピッチ
E_c : 絶縁破壊電界強度
V_B : 耐圧

SJ 構造の製造方法としては、薄い n 型エピタキシャルと局所アルミニウム (Al) イオン注入を繰り返すことで p, n カラムを形成するマルチエピタキシャル法 (図 1) が使われており、マルチエピタキシャル法を用いて SJ 構造を Al のイオン注入で形成した際に、ドリフト層のキャリアライフタイムが低下することが報告されている⁽⁴⁾。これは、Al イオン注入時に導入された欠陥がライフタイムキラーとして働いているためと考えられる。ドリフト層のキャリ

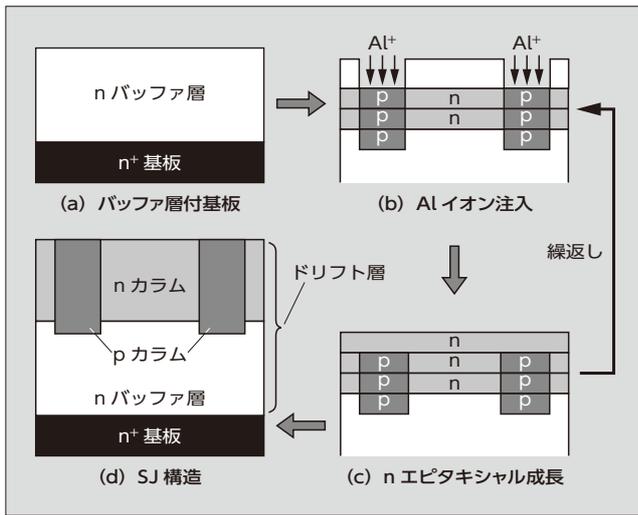


図1 SJ 構造の作製法 (マルチエピタキシャル法)

アライフタイムが低減することで、ドリフト層への少数キャリア注入が抑制されるため、スイッチング時の逆回復損失低減や、ドリフト層中の少数キャリア密度の低下により通電劣化現象の抑制が期待される。

3章から、SJ 構造の適用による SiC-MOSFET の低損失化と通電劣化抑制効果について述べる。

3 低損失化

耐圧 1.2 kV クラスで定格電流 18 A のドリフト層濃度と膜厚を備えた標準的なトレンチゲート MOSFET (non-SJ)、ドリフト層の約半分の深さまで SJ 構造を形成したトレンチゲート MOSFET (semi-SJ)、ならびにドリフト層のほぼ全域に SJ 構造を形成したトレンチゲート MOSFET (full-SJ) を試作した。試作した SJ-MOSFET の模式図を図 2 に示す。

試作した素子の代表的な特性オン抵抗 $R_{on} \cdot A$ としきい値電圧 V_{th} の温度依存性の評価結果を図 3 に示す。 V_{th} が同等の素子で比較した結果、semi-SJ、full-SJ では高温時の $R_{on} \cdot A$ 増加が抑制された。これはドリフト層の n 濃度が高いため、電子移動度の低下による影響を軽減しているためと考えられる。full-SJ の方が $R_{on} \cdot A$ が低いのは、バッファ層に比べて高不純物濃度の n カラムが長いためである⁽⁶⁾。

一般に MOSFET の $R_{on} \cdot A$ は耐圧とトレードオフの関係にあるため、各素子の耐圧を評価した。耐圧波形の代表例を図 4 に示す。室温と 175 °C で、各素子とも 1,500 V 以上の耐圧を示しており、ドリフト層を SJ 構造化することで耐圧を維持しつつ、高温時の抵抗増加を抑制できることが確認できた。

次に、図 5 に示す回路にて、通常のスイッチングパルスに続き、短いインターバルで二つ目のパルスを与えるダブルパルス試験を行い、ボディダイオードの逆回復波形を調べた。ボディダイオードと MOSFET には同型の素子を用いた。図 6 に 175 °C における代表的な逆回復波形を示す。

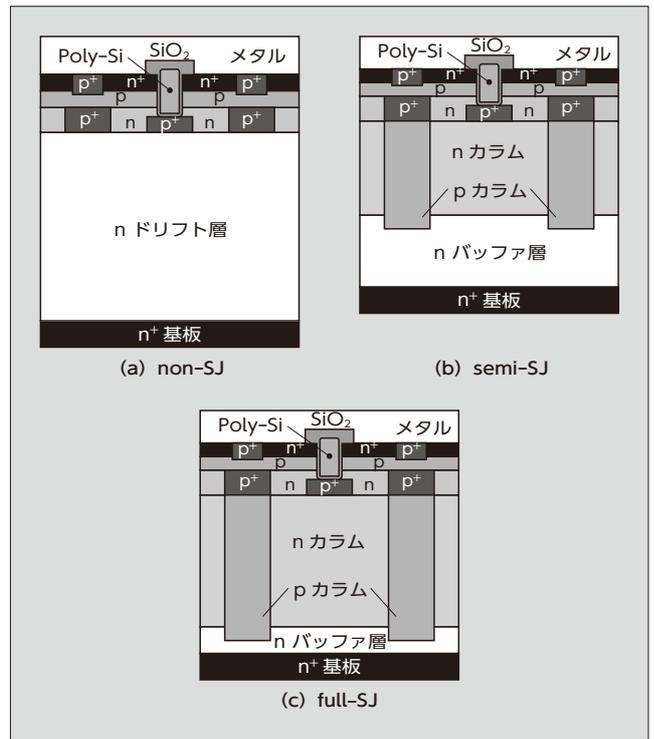


図2 試作した SJ-MOSFET の模式図

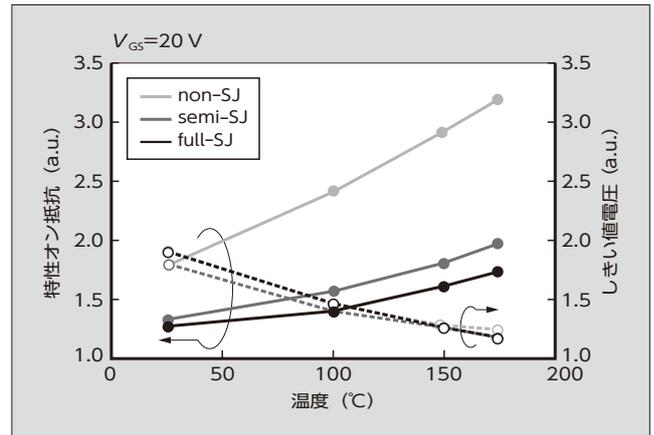


図3 特性オン抵抗としきい値電圧の温度依存性の評価結果

full-SJ 構造にした場合も Si の SJ-MOSFET で問題とされるような大きい逆回復電流は流れていない⁽⁶⁾。これはマルチエピタキシャル法で SJ 構造を製造したことにより、ドリフト層のキャリアライフタイムが短く、キャリアの注入が抑制されているためである。

測定した逆回復波形からドリフト層の蓄積電荷量 Q_{rr} を計算した結果を図 7 に示す。 Q_{rr} が増えるほどスイッチング時の逆回復損失は増加する。 Q_{rr} はドリフト層の容量によるものとボディダイオード通電時に注入されたキャリアによるものの和であるが、注入キャリアはドレイン電流とともに増加するため、 Q_{rr} の電流依存性 (傾き) を調べることで、注入キャリアの多寡を判別することができる。 non-SJ ではドレイン電流とともに Q_{rr} が大きく増加し、ドリフト層への注入キャリアが増加した。一方、semi-SJ や full-SJ では Q_{rr} の電流依存性が小さく、単位電流当

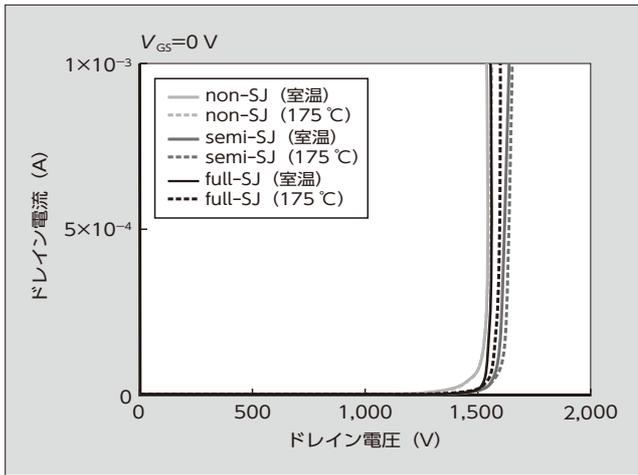


図4 耐圧波形の代表例

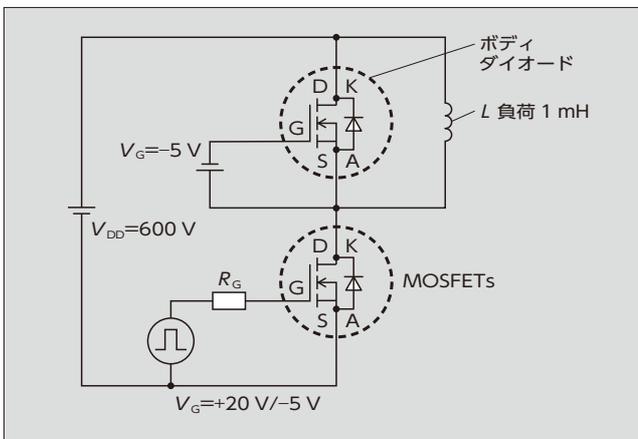


図5 ダブルパルス試験評価回路

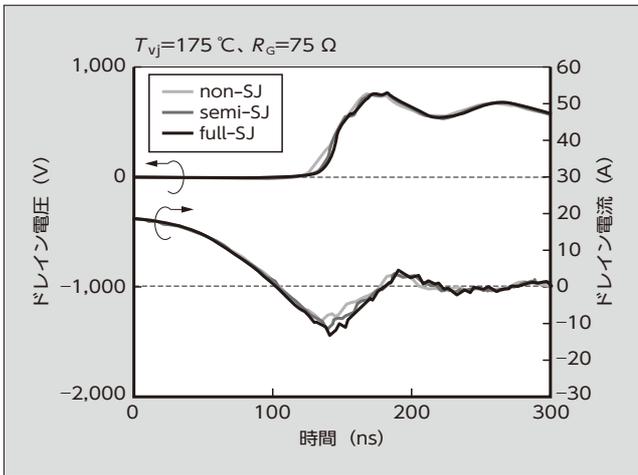


図6 典型的な逆回復波形

たりのキャリア注入増加が non-SJ に対して、それぞれ 27% と 13% に減少した。semi-SJ や full-SJ ではドリフト層容量による Q_{rr} の初期値は高いものの、大電流を流しても Q_{rr} の増加は小さく、スイッチング損失の増加を抑制できていることが確認できた。

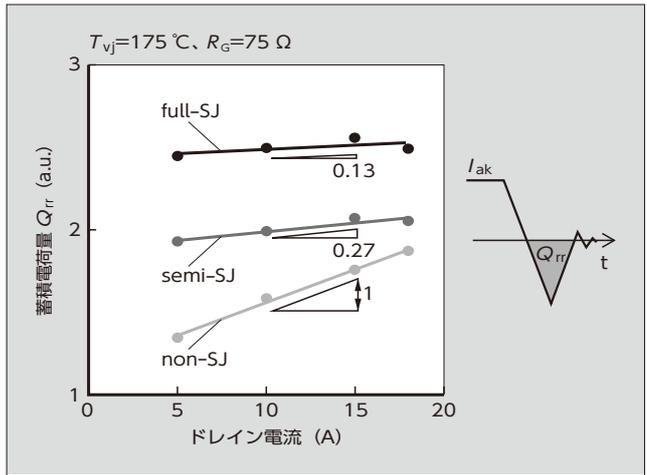


図7 蓄積電荷量 Q_{rr} の計算結果

4 ボディダイオード通電劣化の抑制

試作した素子に対して、ボディダイオードの通電劣化試験を行った結果を図8に示す。素子温度 175°C でボディダイオードへの通電ストレス (DC 100 A/cm² で 10 min、パルス 500 ~ 1,500 A/cm² で積算 5 min) をかけ、ボディダイオードのオン電圧の初期値からの変化を評価した。評価したサンプル数は各構造で 7 ~ 8 素子である。通電によりオン電圧が測定ばらつき (0.5%) 以上に上昇したものを、通電劣化が発生した素子とした。

non-SJ 構造では、通電ストレス 500 A/cm² から劣化が確認され、大電流通電を行うにつれて劣化が大きくなった。一方、semi-SJ は劣化が見られる通電ストレスは 1,000 A/cm² に向上し、さらに full-SJ では 1,500 A/cm² となり、SJ 構造を備えた素子は通電劣化が生じにくいことが示された。これは、マルチエピタキシャル法で製造した SJ 構造によりドリフト層のキャリアライフタイムが低下

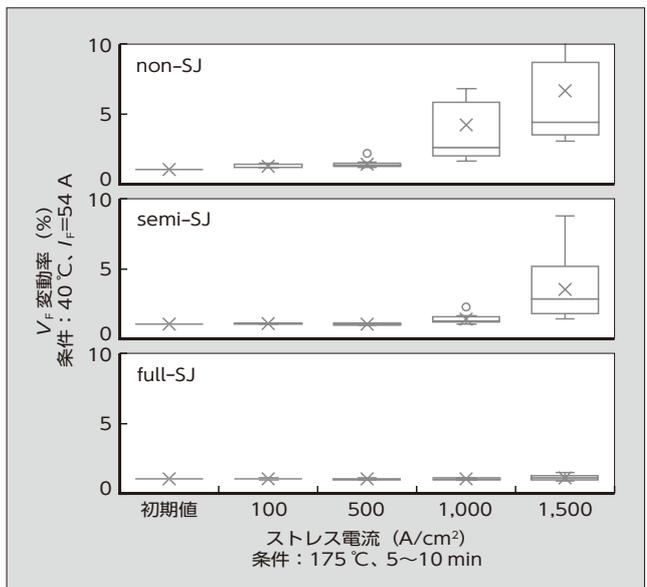


図8 ボディダイオードの通電劣化試験結果

し、ボディダイオード通電時に少数キャリア注入が抑制されて積層欠陥が拡大しにくくなっているためと考えられる。⁽⁵⁾ semi-SJ に比べて full-SJ の方が通電劣化抑制効果が高いが、これは full-SJ ではドリフト層全域に SJ 構造があるために、ドリフト層と基板の界面までライフタイムが低下しているためと考えられる。通電劣化の原因となる欠陥は基板内に多く存在するため、劣化を抑制するには基板に到達する少数キャリア密度を抑制する必要がある。semi-SJ の場合、ライフタイムが比較的長いバッファ層内で少数キャリア密度が上昇してしまい、full-SJ に比べて通電劣化抑制効果が低かったと考えられる。

5 あとがき

ドリフト層に Al イオン注入を用いて SJ 構造を形成した SiC-SJ-MOSFET は、従来の SiC-MOSFET (non-SJ) に比べて、高温時のオン抵抗増加を抑制でき、また、大電流を流した際にもスイッチング損失の増加を抑制できること、さらにボディダイオードの通電劣化を抑制できることを確認した。低損失で還流ダイオードの外付けが不要な SiC-SJ-MOSFET を適用することにより、インバータの高効率化と小型・軽量化およびそれに伴う電気自動車の航続距離の伸長が期待される。

今後、詳細な特性評価や信頼性評価を行い SiC-SJ-MOSFET の実用化を進め、電気自動車の普及に貢献していく所存である。

本研究は、共同研究体 つくばパワーエレクトロニクスコンステレーション (TPEC) 殿の事業として行われた。試作・評価、および議論に関してご協力頂いた森本忠雄氏、原田信介氏、加藤正史氏、福井琢也氏、石井達也氏に深く謝意を表す。

参考文献

(1) Tawara, T. et al. “Injected carrier concentration

dependence of the expansion of single Shockley-type stacking faults in 4H-SiC PiN diodes”. J. Appl. Phys. 123 (2018), p.025707.

(2) Kobayashi, Y. et al. “High-temperature Performance of 1.2 kV-class SiC Super Junction MOSFET”. Proc. ISPSD2019 (2019) 31b.

(3) Fujihira, T. “Theory of Semiconductor Superjunction Devices”. Jpn. J. Appl. Phys. 36 (1997), p.6254.

(4) Harada, S. et al. “First Demonstration of Dynamic Characteristics for SiC Superjunction MOSFET Realized using Multi-epitaxial Growth Method”. IEDM (2018), p.181.

(5) Fukui, T. et al. “Effects of ion implantation process on defect distribution in SiC SJ-MOSFET”. Jpn. J. Appl. Phys. 62 (2023), p.016508.

(6) Saito, W. et al. “600V Semi-superjunction MOSFET”. Proc. ISPSD2003 (2003), p.45.



依 武志

SiC パワー MOSFET、SBD の研究・開発に従事。現在、国立研究開発法人産業技術総合研究所 先進パワーエレクトロニクス研究センター（富士電機より出向）。



竹中 研介

SiC パワー MOSFET の研究開発に従事。現在、国立研究開発法人産業技術総合研究所 先進パワーエレクトロニクス研究センター（富士電機より出向）。応用物理学会会員。



成田 舜基

SiC デバイスの開発・設計に従事。現在、富士電機株式会社半導体事業本部開発統括部デバイス開発部。





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。