

第 2 世代 SiC-SBD 1,200 V シリーズ

2nd-Generation Discrete SiC-SBD 1,200 V Series

原 幸仁* HARA, Yukihiro

宮本 辰* MIYAMOTO, Shin

中村 友士** NAKAMURA, Yuji

近年、全世界のデータ通信量の増加に伴い、データセンターや通信基地局の設置が加速している。データセンターには電力の安定供給が求められるため、無停電電源装置（UPS：Uninterruptible Power System）が使用される。UPS に適用されるパワー半導体に対しては、さらなる低損失化と耐久性の向上が要求されている。

富士電機は、第 1 世代ディスクリット SiC-SBD シリーズに比べ、順方向電圧 V_F の低減により低損失化と、サージ順電流 I_{FSM} の向上を実現した第 2 世代ディスクリット SiC-SBD 1,200 V シリーズを開発した。



図 1 パッケージ外観

① 特徴

第 2 世代ディスクリット SiC-SBD 1,200 V シリーズのパッケージ外観を図 1 に、ラインアップを表 1 に示す。主な特徴は次のとおりである。

- (a) 低順電圧 ($T_{vj}=25^\circ\text{C}$ 、従来比 10% 低減) の実現により、適用する電源機器の効率向上に貢献
- (b) I_{FSM} （サージ順電流）の改善 ($T_{vj}=25^\circ\text{C}$ 、従来比 110% 向上) により、瞬間的に流れる順方向の大電流（突入電流）に対する耐量が向上

② チップ技術

SiC-SBD は、ユニポーラデバイスであり、伝導に寄与するのは蓄積効果のない多数キャリアであることから、逆回復動作時のスイッチング損失は小さい。したがってデバイス損失の低減には、 V_F の低減による導通損失の低減が必要である。また、力率改善（PFC：Power Factor Correction）回路では、電源の投入時に平滑コンデンサを充電するため、突入電流によってダイオードが破壊しないことが求められる。

図 2 に、第 1 世代と第 2 世代の SiC-SBD チップ構造を示す。いずれも素子表面に p^+ 層を形成した JBS（Junction Barrier Schottky）構造である。第 2 世代 SiC-SBD では、 n^+ SiC 基板厚さの薄化、ショットキー接合の最適化によるバリアハイトの低減、JBS 構造とドリフト層の最適化によるドリフト抵抗の低減、独自のウェーハプロセス技術によるコンタクト抵抗の低減などにより、

表 1 ラインアップ

型 式	パッケージ	最大定格			電気特性	
		V_{RRM}	I_F	I_{FSM}	V_F $T_{vj}=25^\circ\text{C}$ (typ.)	V_F $T_{vj}=150^\circ\text{C}$ (typ.)
		(V)	(A)	(A)	(V)	(V)
FDC2WT20S120	TO-247-2	1,200	20	190	1.57	2.29
FDC2WT40S120	TO-247-2	1,200	20	305	1.57	2.29

* 富士電機株式会社半導体事業本部電装事業部電装設計第二部

* 富士電機株式会社半導体事業本部産業事業部産業設計第一部

** 富士電機株式会社半導体事業本部電装事業部電装設計第一部

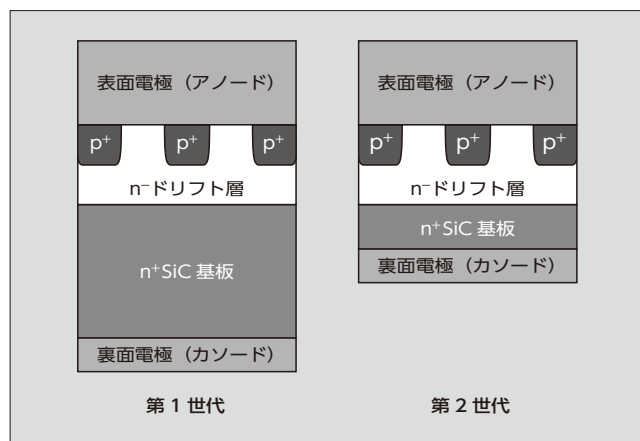
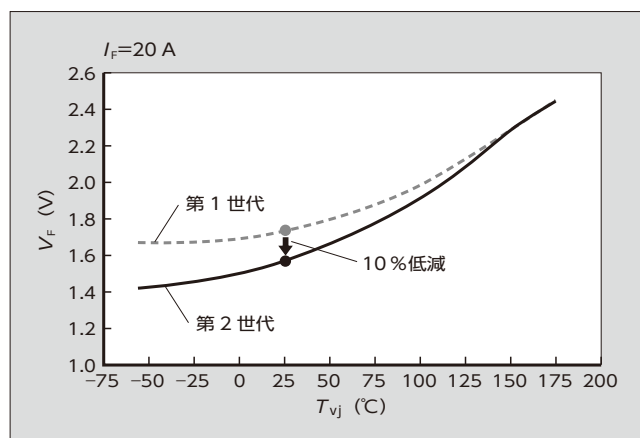
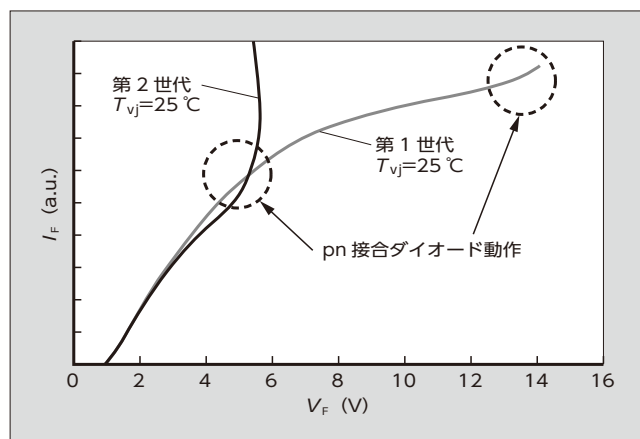
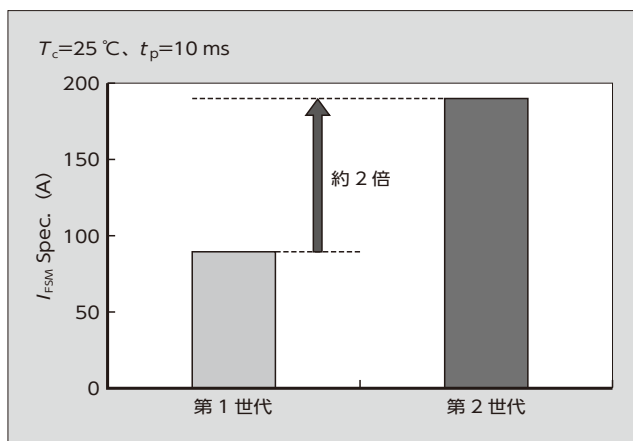


図2 第1世代と第2世代のSiC-SBDチップ構造

V_F の低減と、 I_{FSM} の改善を行った。

図3に、第1世代と第2世代1,200 V/20 A定格の $I_F=20$ Aにおける V_F の温度特性を示す。 -55°C ～ $+125^{\circ}\text{C}$ までの領域において、第2世代は第1世代より V_F が低く、 $T_{vj}=25^{\circ}\text{C}$ において V_F は10%低減した。

図4に、1,200 V/20 A素子の大電流域の I_F-V_F 特性を示す。表面電極（アノード）と接している p^+ 層と n^- ドリフト層で構成されるpn接合ダイオードが動作し、表面

図3 1,200 V/20 A素子の第1世代と第2世代の V_F 温度特性図4 1,200 V/20 A素子の第1世代と第2世代の大電流域の I_F-V_F 特性図5 1,200 V/20 A素子の第1世代と第2世代の I_{FSM} 特性

電極（アノード）と p^+ 層のオーミック領域に100 A以上の大電流が流れる。第2世代は、JBS構造を最適化したことにより第1世代と比べてpn接合ダイオードに電流が流れやすくなる。また、 n^+ SiC基板の薄化による熱抵抗が低減（放熱性向上）したことにより、図5に示すように、第1世代では I_{FSM} 保証値は90 Aであったのに対し、第2世代では190 Aとなり、約2倍向上した。

③ パッケージ

外形は業界標準のTO-247パッケージで、センター端子がない2端子のTO-247-2パッケージを採用した。端子間の沿面距離（絶縁距離）が3端子品より長くなるため、絶縁性が高くなり、高耐圧に向けた構造である。また、チップとリードフレームの接続には鉛フリーはんだを採用しており、RoHS指令（EU 2011/65/EC）に適合している。

参考文献

- (1) 渡邊壮太ほか. 第2世代ディスクリートSiC-SBDシリーズ. 富士電機技報. 2021, vol.94, no.4, p.267-271.

発売時期

2021年12月

お問い合わせ先

富士電機株式会社
半導体事業本部営業統括部営業第一部
電話 (03) 5435-7152



＊本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。