

パワーエレクトロニクス主回路構造の解析技術

滝沢 聡毅 (たきざわ さとし)

ジニー オルゲス (Gjini Orges)

① まえがき

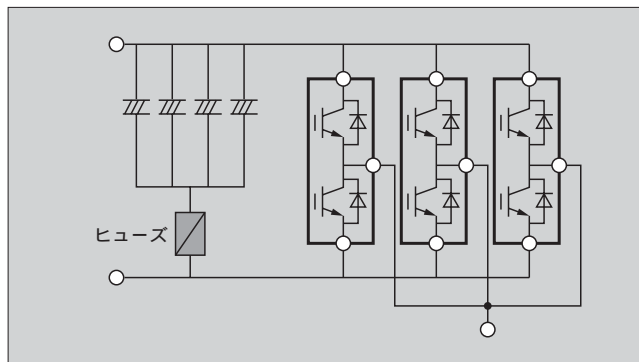
汎用インバータやUPSに代表されるパワーエレクトロニクス装置においては、年々小型、低コスト、高効率、高性能および高信頼性化の要望が非常に強まってきている。⁽¹⁾ それに伴いこれら装置に適用される IGBT (Insulated Gate Bipolar Transistor) を代表とした電力変換用パワー半導体素子についても、その技術進歩は目覚ましく、年々小型化、低損失化が進められている。⁽²⁾

富士電機では、これらパワーエレクトロニクス装置を開発するうえで、その基盤となる主回路技術および素子適用技術の開発を、シミュレーション技術の適用と実験実測に基づいた検証により実施している。⁽³⁾ 特に昨今のパワー半導体素子の高速スイッチング化に伴い、主回路構造に起因する配線インダクタンス値や構造体の電流分布および放射電磁界を把握することが、非常に重要となってきた。

このことからシミュレーション技術の適用は、開発効率を大幅に向上させるとともに、パワーエレクトロニクス製品の一層の高性能化および高信頼化を実現する有効な手段となる。

本稿ではその一例として、パワーエレクトロニクスの基幹部となるインバータの主回路配線構造と、IGBT モジュールの内部構造を対象とした電磁界解析を中心とするシミュレーション技術を紹介する。

図1 IGBT3 並列スタック回路図



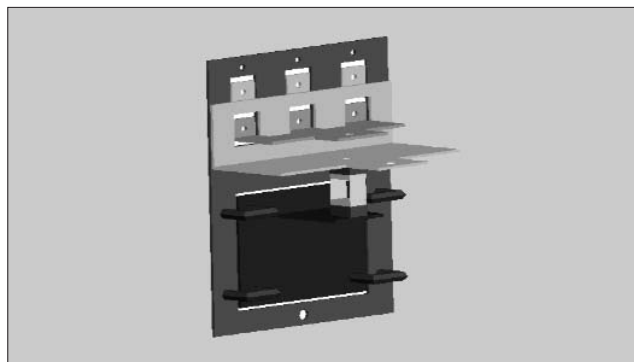
② インバータスタック解析例

インバータスタックの構造解析例として、600 A/600 V 定格の IGBT を3並列した1相分インバータスタックの直流中間部ブスバー配線インダクタンスの解析例を示す。解析したスタックの回路図を図1に、試作器の外観を図2に、シミュレーションモデル図を図3に示す。直流中間部の配線インダクタンスを把握することは、スナバ回路の設計や、並列接続されている IGBT や電解コンデンサの電流分布を知るうえで重要であり、主回路構造設計を実施する際に必要不可欠となる。

図2 試作器の外観



図3 シミュレーションモデル図



滝沢 聡毅

パワーエレクトロニクス製品の開発に従事。現在、富士電機アドバンストテクノロジー(株)エレクトロニクス技術研究所。電気学会会員。



ジニー オルゲス

パワーエレクトロニクス製品の開発に従事。現在、富士電機アドバンストテクノロジー(株)エレクトロニクス技術研究所。電気学会会員。

表 1 インバータスタック配線インダクタンス値の比較結果

配線インダクタンス	シミュレーション結果	実測結果
左端配置モジュール	53.5 nH	54.0 nH
中央配置モジュール	45.1 nH	42.0 nH

表 1 に、3 並列の中で左端に配置された IGBT モジュールと中央に配置された IGBT モジュールの直流端子間の配線インダクタンスのシミュレーション解析結果と実測結果を示す。両者はほぼ一致した結果となっており、本解析技術がインバータスタックのような大型の構造体についても有効であるといえる。

③ IGBT モジュールの内部構造シミュレーション

3.1 IGBT モジュールの現状

図 4 a), b) に富士電機製 IGBT モジュール (2MBI50N-060, 600 V/50 A, 2 素子入り) の外観とその内部構造の写真を、図 5 にその解析モデルを示す。DCB (Direct Copper Base) 上に IGBT チップと FWD (Free Wheeling Diode) チップが搭載され、DCB の銅はくパターン上で直流出力導体電極 (P, N) と交流出力導体電極 (U) が接続される構造である。

IGBT がターンオフする際には、ターンオフ電流変化率 (di/dt) と、以下の 1)~3) の各配線部のインダクタンスによって、式 1 で示すサージ電圧が各配線部に発生する。

- 1) 直流出力導体電極 (P 導体, N 導体)
- 2) DCB の銅はくパターン
- 3) チップと銅はくパターン間のワイヤボンディング

$$\Delta V = L \cdot di/dt \dots\dots\dots (1)$$

従来の IGBT においては、 di/dt 値自体が大きな値ではなかったため、式 1 で示すサージ電圧の発生が大きな問題とはなっていなかった。ところが昨今の高速スイッチングに伴い、式 1 による ΔV が高くなり、スナバ回路の設計など、耐圧設計が非常に厳しくなっている。

通常、汎用インバータや UPS などの装置には、IGBT を最低 6 素子分必要とするが、特に大容量装置の場合は、多並列接続化などで大電流、高 di/dt 遮断を実施するため、高サージ電圧化の問題は、装置設計において重要課題となる。

3.2 低インダクタンス化技術とその解析

上記の高サージ電圧化の解決策として、IGBT モジュール内部の出力導体電極などの配線インダクタンスを低減する方法が考えられる。

具体的には、モジュール内部における P 導体と N 導体の出力導体電極をモジュール内部において近接配置し、その箇所において負の相互インダクタンスを大きくする方法が、従来から提案されている^{(4)~(6)}。しかし、この方法は配線の低インダクタンス化には有効であるが、配線構造が複雑になることや、絶縁材が新たに必要となるなどコストアップ

図 4 IGBT モジュールの外観 (2MBI50N-060)

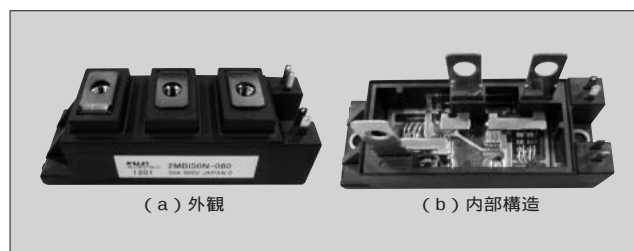


図 5 IGBT モジュールモデル図

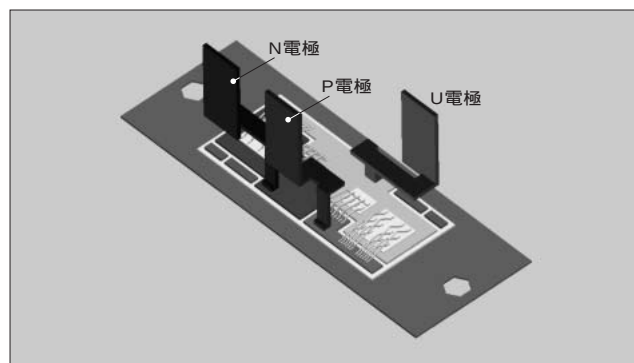
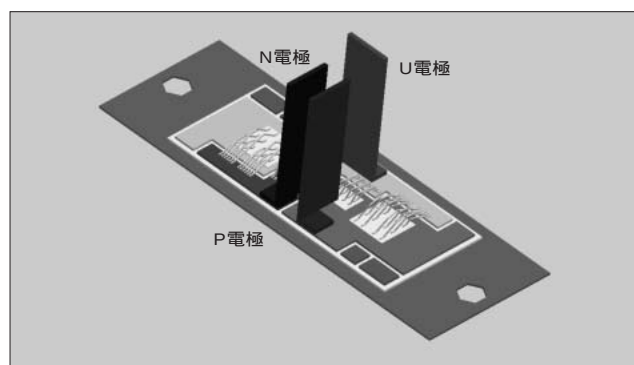


図 6 IGBT モジュールモデル図 (検証例構造)



の要因となる。

そこで、近接構造を採らずに低配線インダクタンス化と低放射ノイズ化を図るべく、IGBT がスイッチングする際の電流分布解析および電磁界解析に基づく DCB 構造の設計とその検証を行った。

図 6 にその検証例の構造 (シミュレーションモデル) を、図 7, 図 8 にそのシミュレーション解析例を示す。

図 6 では、DCB の銅はくパターンと各出力導体電極との結線位置を DCB 上のほぼ中央部付近に配置し、かつ IGBT と FWD チップをその両端に配置した構造としている。また図 7 a), b) に、図 5 の従来品構造と図 6 の検証例構造それぞれについて、下アーム側 IGBT がスイッチングする際の DCB 上の電流密度ベクトル図を示す。また、図 8 には同様に電流密度分布図を示す。

従来品構造は、図 7 a) または図 8 b) に示すように、DCB 上の電流密度は比較的一様な分布となっている。さらに、DCB 間の絶縁帯に沿って流れる電流の経路が長くなっており、配線インダクタンス値が大きくなっている様子がう

図7 従来品と検証例品モジュールとの電流密度ベクトル比較図

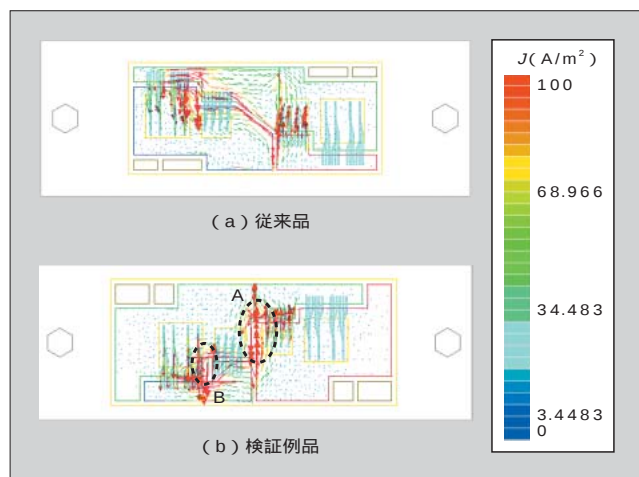
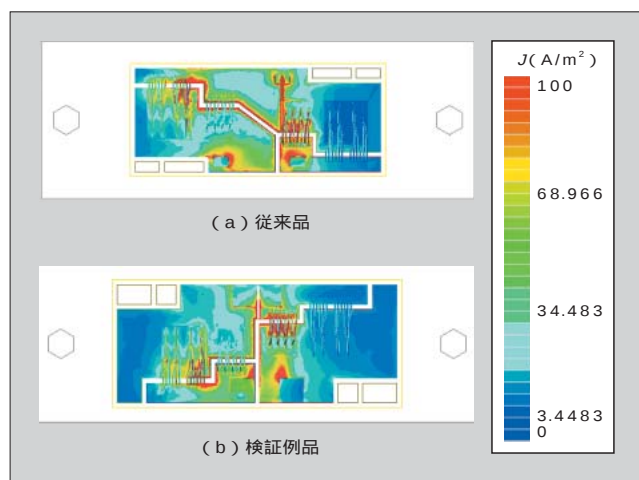


図8 従来品と検証例品モジュールとの電流密度分布比較図



かがえる。

一方、検証例の図7bの結果からは、特に地点A、B付近で、絶縁帯を挟んだ対抗するDCBパターン間で、大きな電流が反対方向に近接して流れていることが分かる。これはこの箇所において、負の相互インダクタンスが発生し、大幅に低インダクタンス化が図られていることを意味する。図8bの電流密度分布図において、DCBの中央付近に電流が集中していることから分かる。

表2に以下の3方式による下アームIGBT側の配線インダクタンス値（U電極→下アームIGBT→N電極のインダクタンス値）のシミュレーション結果と実機試験結果を示す。

方式1：従来品モジュール

方式2：従来DCB+P・N導体電極近接構造モジュール

方式3：図6の検証例モジュール

表2から、図6のモジュールは従来品モジュールに対して、実測上で約47%のインダクタンス低減効果を示しており、さらにP・N導体を近接させた構造のモジュールに対しても同等レベルとなっている。以上のことから、P・N導体を積極的に近接させずともDCB構造の最適化により低インダクタンス化が図れることがシミュレーション結果

表2 各方式によるインダクタンス値の比較結果

方式1 (従来品：図5)		方式2 (従来DCB+ P・N導体電極近接)		方式3 (検証例品：図6)	
シミュレーション	実測	シミュレーション	実測	シミュレーション	実測
22 nH	26.6 nH	13.4 nH	—	12.9 nH	14.0 nH

と実測により確認できた。

これら低インダクタンス化技術は、今後もますます進むパワー半導体の高速スイッチング化に対応する重要なアイテムであり、その開発にはシミュレーション技術が有効である。

3.3 放射電磁界解析

現在、パワー半導体の適用技術として、上述のスイッチング時の高サージ電圧化とともに、高レベルの放射ノイズ発生も大きな問題となっている。

富士電機では、構造に起因した放射電磁界についてもシミュレーション技術を適用し、低放射ノイズIGBTモジュールを開発している。図9、図10に従来品と検証例品のDCB部から発生するノルマルモードの二アフィールド放射電界のシミュレーション結果を、また図11、図12に導体部から発生する上記と同様の放射電界のシミュレーション結果を示す。なお、各図はdがシミュレーションモデル、aがXY面上の電界のポラー図（ E vs. ϕ , 100 mm）、bがXZ面上の電界のポラー図（ E vs. θ , 100 mm）、cが三次元空間図である。

図9aまたはcにおいて、XY面の $\phi = 90^\circ$ 方向（N導体電極が置かれている方向）に高いレベルの電界が発生していることが分かる。

一方、図10（DCB部から発生する放射電界）、図12（DCBと導体電極を組み合わせた構造）に図6の検証例構造に対するシミュレーション結果を示す。図9、図11の従来構造と比較して、ポラー図の領域が狭まり、また三次元空間図から全体的に放射電界レベルが低減していることが確認できる。

以上のように、従来は測定が中心であった放射電磁界の評価も、上記例に示すようにシミュレーションが適用でき、放射ノイズの低減を図る構造を従来より容易に設計できるようになった。

4 あとがき

パワーエレクトロニクス装置の主回路設計技術の一翼を担う電磁界解析を中心としたシミュレーション技術について紹介した。本稿では、インバータなどの直流中間回路ブスバー構造とパワー半導体の内部構造の電磁界解析を中心に紹介したが、その応用範囲は広い。

今後とも、信頼されるパワー半導体モジュールおよびパワー半導体モジュールを適用したパワーエレクトロニク

図9 DCB部から発生する放射電界シミュレーション結果
(従来品)

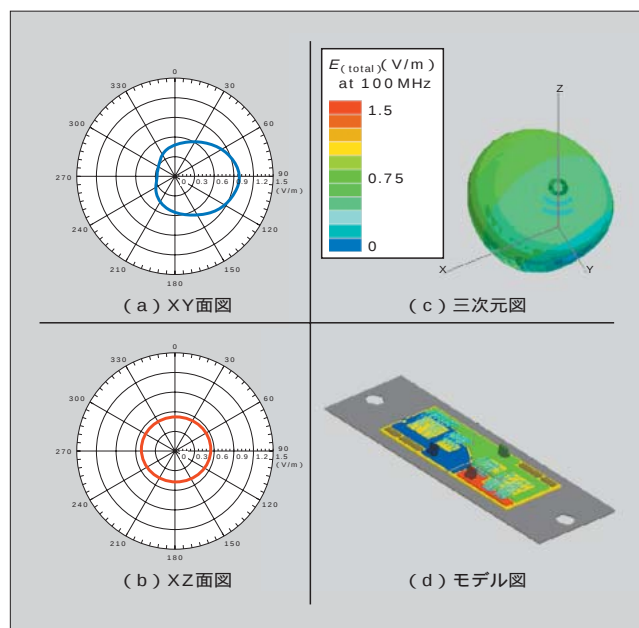


図11 導体部から発生する放射電界シミュレーション結果
(従来品)

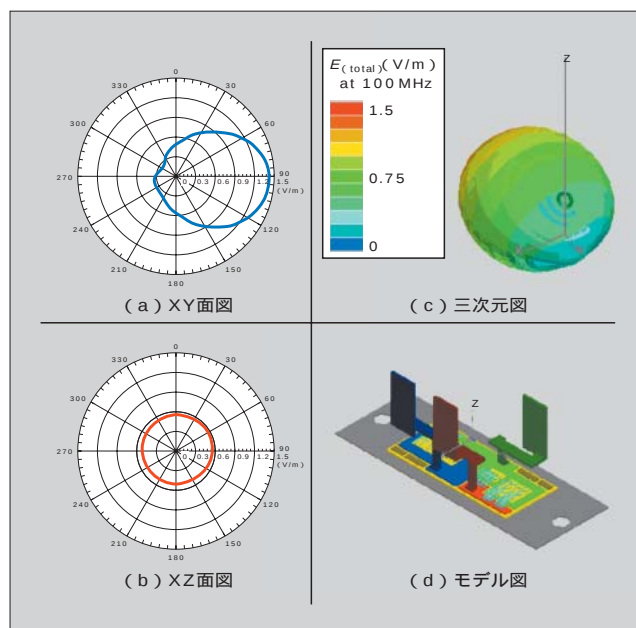


図10 DCB部から発生する放射電界シミュレーション結果
(検証例品)

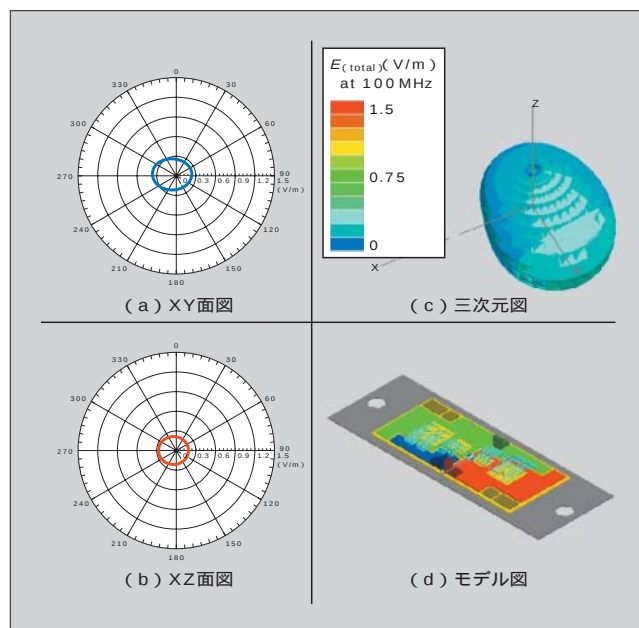
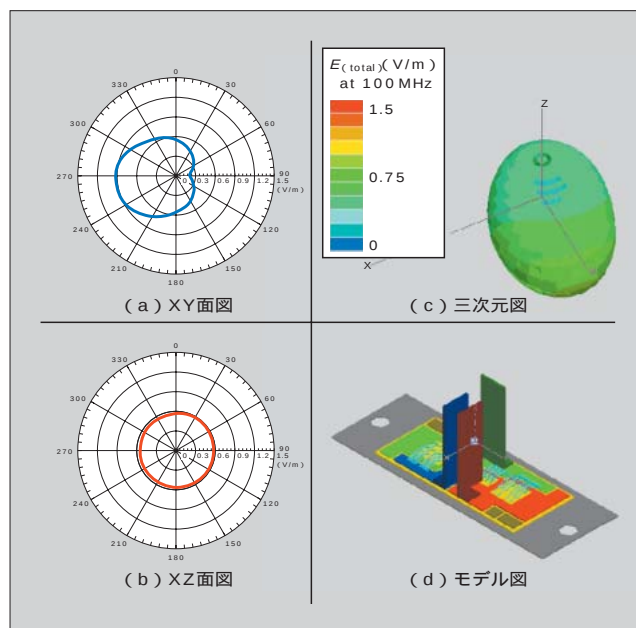


図12 導体部から発生する放射電界シミュレーション結果
(検証例品)



ス装置の製品化に、より一層注力していく所存である。

参考文献

1. 滝沢聡毅ほか．大容量 6 in 1 IGBT モジュールの適用技術．富士時報．vol.75, no.8, 2002, p.449-452.
2. 吉渡新一，別田彦彦．大容量 6 in 1 IGBT モジュール「EconoPACK-Plus」．富士時報．vol.74, no.2, 2001, p.110-113.
3. 阿部康，丸山宏二．半導体デバイスと回路の連成シミュレーション解析技術．富士時報．vol.76, no.4, 2003, p.221-

224.

4. Marco, C. C. et al. Low Stray Inductance Bus Bar Design and Construction for Good EMC Performance in Power Electronic Circuits. IEEE Transactions on Power Electronics. vol.17, no.2, 2002, p.225-231.
5. 菊永敏之ほか．パワーモジュール高信頼性設計のための解析・シミュレーション技術．三菱電機技報．vol.75, no.6, 2001. p.55-58.
6. 三島彰．電磁場連成系のモデリングとシミュレーション．平成 13 年電気学会産業応用部門大会．S10-5, p.1103-1106.



＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。