第2世代宇宙用高信頼性パワー MOSFET

High Reliability Power MOSFETs for Space Applications

井上 正範 Masanori Inoue 小林 孝 Takashi Kobayashi 丸山 篤 Atsushi Maruyama 人工衛星などの宇宙機での使用を可能とした第2世代宇宙用高信頼性パワー MOSFET を開発した。一般用途の MOSFET

との大きな違いは、高エネルギー荷電粒子と電離放射線に対する耐性を持たせた点である。耐量を持たせるために電気特性 を犠牲にしてきた。第2世代では、高エネルギー荷電粒子に対する耐量を持たせるために、ドリフト拡散モデルに修正を行 いメカニズムのシミュレーションができるようにした。その結果、対策として、低比抵抗のエピタキシャル層を厚く設ける ことで SEB (Single Event Burnout) 耐量を確保し、世界トップレベルの宇宙用パワー MOSFET を製品化した。

We have developed highly reliable and radiation-hardened power MOSFETs for use in outer space applications in satellites and space stations. The largest difference between these newly developed Rad-Hard Power MOSFETs and general-use MOSFETs is that they have excellent durability against high energy charged particles and ionizing radiation. To provide increased durability, electrical characteristics had been sacrificed in the past. With this device, however, to provide durability against high energy charged particles, a drift diffusion model was modified so as to enable simulation of the mechanism. A power MOSFET designed for use in outer space applications and having the world's top level performance is realized by providing a thick epitaxial layer with low specific resistance as a countermeasure to ensure durability against SEB (single event burn-out).

1 まえがき

通 信 衛 星, 気 象 衛 星, GPS (Global Positioning System), 地球観測など宇宙利用の恩恵が私たちの生活の中に 浸透していることは周知のことである。

人工衛星に搭載されている電子機器やスイッチング電源には、宇宙空間での限られた電力を有効に利用するための高効率化やシステムとしての信頼性を確保するための部品点数削減が求められている。これを受け、パワー MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor)には低損失および宇宙環境では電離放射線や 高エネルギー荷電粒子に対する耐性などの高信頼性が必須 要求である。特に半導体部品の多くは宇宙空間では電気特 性の劣化が著しく、地上で一般的に使われている製品では 信頼性が確保できない。

富士電機が宇宙用パワー MOSFET の開発に着手した当時,パワー MOSFET の電離放射線による特性劣化や対策 について多くの研究がなされていた。しかし,高エネル ギー荷電粒子の影響で瞬時に焼損してしまう現象(SEB: Single Event Burnout) についてはメカニズムが明らか になっていなかった。このため第1世代宇宙用パワー MOSFET では SEB 耐性を持たせるために電気特性を犠 牲にしていたが,後述するように SEB メカニズムを推定 し,一般用パワー MOSFET と同等の電気特性を持つ第2 世代宇宙用高信頼性パワー MOSFET を開発した。図1に 製品の外観,表1に主要特性を示す。

本稿ではその成果について述べる。

2 富士電機の宇宙開発への貢献

富士電機の宇宙開発への貢献は1980年代,当時の宇

宙開発事業団 (NASDA: NAtional Space Development Agency of Japan)の主導で日本メーカーの技術力を結 集し純国産ロケット "H-Ⅱ"の開発に取り組んだところ から始まっている。富士電機は高信頼性の BJT (Bipolar Junction Transistor)を開発,供給し,1994年の1号機 の打ち上げ成功に貢献した。

一方,アメリカ,ロシア,日本,カナダ,欧州が協力し て軌道上に建設を進めている国際宇宙ステーションにも富 士電機製の第1世代宇宙用パワー MOSFET が搭載されて いる。日本の実験モジュール"きぼう"に約3,000 個が搭 載され,2008年3月の軌道投入から現在まで正常な動作 を続けている。

③ 第2世代宇宙用パワー MOSFET の開発

前述の第1世代宇宙用パワー MOSFET は,電離放射線 に対しては十分な耐量を持っていた。しかし,SEB 耐量 を確保するために素子耐圧を上げて対応していた。素子耐

図1 製品の外観



表1 製品一覧

型式	V _{DSS} (V)	/ _D (A)	R _{DS(on)} *1 max. (Ω)	P _D *2 (W)	V _{GS} (V)	V _{GS(th)} (V)	Q _g max. (nC)	放射レベル (krad)	パッケージ タイプ
JAXA R 2SK4217	100	42	0.013	250	±20	2.5~4.5	220	100	SMD-2
JAXA R 2SK4218	100	42	0.028	150	±20	2.5~4.5	100	100	SMD-1
JAXA R 2SK4219	100	15	0.064	70	±20	2.5~4.5	50	100	SMD-0.5
JAXA R 2SK4152	130	42	0.017	250	±20	2.5~4.5	220	100	SMD-2
JAXA R 2SK4153	130	39	0.039	150	±20	2.5~4.5	100	100	SMD-1
JAXA R 2SK4154	130	15	0.089	70	±20	2.5~4.5	50	100	SMD-0.5
JAXA R 2SK4155	200	42	0.026	250	±20	2.5~4.5	220	100	SMD-2
JAXA R 2SK4156	200	32	0.062	150	±20	2.5~4.5	100	100	SMD-1
JAXA R 2SK4157	200	14	0.148	70	±20	2.5~4.5	50	100	SMD-0.5
JAXA R 2SK4158	250	42	0.038	250	±20	2.5~4.5	220	100	SMD-2
JAXA R 2SK4159	250	26	0.091	150	±20	2.5~4.5	100	100	SMD-1
JAXA R 2SK4160	250	12	0.223	70	±20	2.5~4.5	50	100	SMD-0.5
JAXA R 2SK4188	500	23	0.18	250	±20	2.5~4.5	300	100	SMD-2
JAXA R 2SK4189	500	10	0.48	150	±20	2.5~4.5	120	100	SMD-1
JAXA R 2SK4190	500	4.5	1.15	70	±20	2.5~4.5	48	100	SMD-0.5

*1 $R_{\rm DS(on)}$: $V_{\rm GS} = 12$ V, *2 $P_{\rm D}$: $T_{\rm C} = 25$ °C

表 2 宇宙用途のパワー MOSFET への要求

	実力・目標				
要求	一般の	宇宙用 MOSFET			
		MOSFET の実力	第 1 世代 の実力	第 2 世代 の目標	
高会性地	耐圧 (V)	250 V	500 V	250 V	
电对行性	オン抵抗	0		0	
長期信頼性	\bigtriangleup	0	0		
電離放射線耐性(×	0	0		
高エネルギー荷電	×	0	0		

○:要求を満たす
△:要求にやや未達
×:要求に未達

圧を上げることはオン抵抗の増加につながり,損失の増加 となる。

第2世代宇宙用パワー MOSFET では,SEB 耐量を向 上させて一般用パワー MOSFET と同等の電気的特性を 実現させることを目標とした。表2に宇宙用途のパワー MOSFET への要求を示す。

3.1 宇宙用途のパワー MOSFET の技術課題

ー般用パワー MOSFET は,電気特性には優れているが 電離放射線や高エネルギー荷電粒子へは対応できない。第 1世代宇宙用パワー MOSFET は SEB 耐量が不十分であ るために耐圧を 500 V まで上げざるを得ず,オン抵抗を犠 牲にしている。

第2世代宇宙用パワー MOSFET においてはオン抵抗を 低減させつつ SEB 耐量と TID(Total Ionizing Dose)耐 量の確保および長期信頼性の確保が課題である。

後述する(1),(2)については,第1世代宇宙用パワー MOSFETで要求を満たすことができている。(3)の SEB

図2 宇宙用パワー MOSFET の内部構造



対策が第2世代宇宙用パワー MOSFET の特徴である。

(1) ハーメチックシールパッケージの適用による長期信頼性対策

金属のハーメチックシールパッケージ(気密性パッケージ)を使用して信頼性の向上を図っている。パッケージのフレーム(MOSFET チップを搭載する部分)には、シリコン(MOSFET チップの素材)と熱膨張率が非常に近い銅タングステン(Cu-W)焼結体を採用して温度サイクル耐性を向上させている。またハーメチックシールパッケージ内は図2に示すように中空になっており、乾燥窒素ガスで封入して外因的な劣化モードからパワー MOSFET チップを保護している。

(2) 低温プロセスの適用による TID 対策

一般的に地上で使われているパワー MOSFET を電離放 射線の環境下で使用すると、耐圧低下やパワー MOSFET のオン-オフ制御を行うゲートのしきい値電圧 V_{th}シフト が発生する。TID による特性劣化は酸化膜に電荷がトラッ プされるために起こる現象である。

宇宙用パワー MOSFET は酸化膜形成後の熱処理を低温 化することで酸化膜の電荷トラップを低減させて,静止軌 道上で10年分の電離放射線の被ばく量に相当する1,000 Gy の TID 耐性を持たせた。

(3) 2段エピタキシャル層構造の適用による SEB 対策

1986年ごろから高エネルギー荷電粒子〔例えばニッケル(Ni)イオンなど〕による半導体デバイスの誤動作や 突然破壊に至る現象が報告されだした。たった1個の高エ ネルギー荷電粒子によって起こる現象であるため総じて SEE (Single Event Effect) と呼ばれている。SEE のうち, パワー MOSFET においてはデバイスが瞬時に焼損する SEB が報告されている。

第2世代宇宙用パワー MOSFET の開発に着手した当時 (1992年), SEB 現象を説明しうるメカニズムは明らかに されていなかったため,シミュレーションを用いてメカニ ズムの解析に着手した。

3.2 SEB 推定メカニズム

SEB 現象をシミュレーションで取り扱う際に、従来の シミュレーションモデルでは SEB 現象が再現できなかっ たが、ドリフト拡散モデルに修正を加えることでこれを克

図3 電界強度分布と電子正孔対発生の分布



服しだ。シミュレーションの解析から次のことが分かる。

図3は、電界強度分布と電子正孔対発生の分布である。 高エネルギー荷電粒子の軌跡に沿って電子正孔対が生成さ れる。それが n⁺型基板と衝突する付近に高電界領域が形 成され、大量の電子正孔対が発生している。エピタキシャ ル層と基板の境界まで過剰正孔が増加し、その先端で電界 が強く電子正孔対生成も活発になっている。

この結果から,SEBのメカニズムは以下のように推定 できる。

- (1) 入射した高エネルギー荷電粒子によって、生成した電子正孔対のうち正孔がベース電流として供給され、寄生 npnトランジスタが動作する。
- (2) 入射した高エネルギー荷電粒子の軌跡に沿って過剰正 孔が増加し(図4),寄生 npnトランジスタのベースが 押し出された形になる。実効的ベース端は n⁺型基板で 行く手を阻まれるために高電界領域が形成される。この 領域には極めて高密度の電流が流れるので,耐圧以下の 電圧でも容易にダイナミックアバランシェが起こり電子 正孔対が生成する。
- (3) 発生した正孔は再びベース電流として供給され,寄生 npnトランジスタの動作を促進する。
- (4) こうして、基板とエピタキシャル層との境界付近の高 電界領域におけるダイナミックアバランシェによる正孔 の生成は、サイリスタと類似の正帰還動作を引き起こし 破壊に至る。

4 SEB 対策構造の提案

前述のメカニズムを考慮して次のSEB対策構造を提案, 実施した。

ベースが押し出されても n+型基板までに十分な距離を確

図4 高エネルギー荷電粒子入射時の電位分布



保すればダイナミックアバランシェを起こすほどの高電界 にはならず,SEBの発生を抑制できると考えられる。この 検証には実際にエピタキシャル層の厚さを変えたMOSFET を試作して実験を行った。その結果として、図5にSEB発 生電圧のエピタキシャル層の厚さ依存性を示す。

本構造では 250 V の耐圧を得るために必要なエピタキ シャル層の厚さは約 29 µm であるが,この設計では耐圧 の 60% 程度の電圧(約 200 V)で SEB が発生した。それ に対してエピタキシャル層を厚くしたデバイスでは SEB 発生電圧が上がっており,狙った効果が得られたことが分 かる。この実験結果からエピタキシャル層の厚さを 32 µm にすることで目標の SEB 発生電圧が得られている。

図5 SEB 耐量の n⁻型エピタキシャル層の厚さ依存性



図6 2段エピタキシャル層構造を適用した第2世代宇宙用 パワー MOSFET の活性部断面



一方で、この対策はパワー MOSFET の重要特性である オン抵抗特性を犠牲に(増加する)してしまう。図4には パワー MOSFET のオン抵抗構成も示している。n-型エ ピタキシャル層はパワー MOSFET をオン動作させたとき の電流経路にあたり、オン抵抗の増加に直結する。n-型 エピタキシャル層のオン抵抗 *R*_{epi} は大きな割合を占めてお リ、例えば 250 V 定格品で約 80% を占めている。

これを回避するための方法として単にエピタキシャル層 の厚さを厚くするのではなく、低比抵抗の n⁻型エピタキ シャル層 *R*_{epi2}を設けた 2 段エピタキシャル層構造(図6) を考案した。

この構造により,低比抵抗のエピタキシャル層であって も n⁺型基板より高い比抵抗にすることでエピタキシャル 層を厚くした場合と同様の効果が得られると考えられる。 また,寄生 npnトランジスタから注入される大量の電子 とエピタキシャル層の不純物濃度(=比抵抗)の相対的な 濃度差によってベースが押し出され高電界を形成するため, エピタキシャル層の不純物濃度を高く(比抵抗を低く)す ることで高電界の発生を抑制する効果も期待できる。

図7にエピタキシャル層の電気抵抗とSEB発生電圧の 関係を示す。考案した2段エピタキシャル層構造では、エ

図7 SEB 耐量のエピタキシャル層の電気抵抗依存性



図8 オン抵抗の耐圧依存性



ピタキシャル層全体の抵抗を 50% 程度下げても目標の SEB 発生電圧を達成できている。

この2段エピタキシャル層構造を適用することで SEB 耐量を確保し、かつオン抵抗の増加を最小限(3%以下程 度)に抑えることが可能となった。図8は耐圧と R_{on}のト レードオフを示す図である。SEB 耐量を確保するために 取っていた耐圧マージンをなくし、低オン抵抗特性に優れ た第2世代宇宙用高信頼性パワー MOSFET が開発できた。

5 あとがき

SEB メカニズムが推定できたことでオン抵抗の増加を 最小限に抑え、一般用パワー MOSFET と同等の電気的特 性を持つ宇宙用高信頼性パワー MOSFET を製品化した。 本稿では 250 V クラスについて述べたが、この技術を適用 して 100 V, 130 V, 200 V, 500 V クラスの製品も系列化 している。

第2世代宇宙用高信頼性パワー MOSFET は世界トップ レベルの性能を実現している。今後も世界の宇宙開発に貢 献していく所存である。

参考文献

- Gover, J. E. Basic Radiation Effects in Electronics Technology. Colorado Springs, CO, Proc. 1984 IEEE NSREC Tutorial Short Course on Radiation Effects. July 22, 1984.
- (2) Waskiewicz, A. E. et al. Burnout of Power MOSFET with

Heavy Ions of Californium-252. IEEE Trans. Nucl. Sci. Dec. 1986, vol.NS-33, no.6, p.1710-1713.

(3) 田上三郎ほか. 宇宙用MOSFETのシングルイベントバーン アウト(SEB)の3次元デバイスシミュレーション. 電気学会 電子デバイス・半導体電力変換合同研究会資料EDD-01-75, SPC-01-80. 2001-10-25.

(4) 田上三郎, 小林孝. 特許:半導体装置. 特開2003-338624.



井上 正範

パワー半導体素子の開発・設計に従事。現在,富 士電機システムズ株式会社半導体事業本部半導体 統括部デバイス技術部。



小林 孝

パワー半導体デバイスの研究・開発に従事。現在, 富士電機ホールディングス株式会社技術開発本部 先端技術研究所デバイス技術研究センターデバイ ス開発部長。



丸山 篤

半導体製品のうち主にディスクリート製品のパッ ケージ設計に従事。現在,富士電機システムズ株 式会社半導体事業本部半導体統括部パッケージ・ 実装技術部。



*本誌に記載されている会社名および製品名は、それぞれの会社が所有する 商標または登録商標である場合があります。