

新型半導体素子とトレンチ加工技術

長安 芳彦 (ながやす よしひこ)

望月 邦雄 (もちづき くにお)

藤島 直人 (ふじしま なおと)

1 まえがき

富士電機では、半導体プロセス開発にあたっては、「不良を出さない真に制御されたプロセス」と「他社に対し決定的な優位性を持つデバイス」を主眼に置いて研究開発を推進してきた。酸化膜・エッチング・薄膜形成という化学的な反応を伴って、問題の生じやすいプロセスについて専用の設備を用いて集中的に取り組み、さらにデバイスの微視解析技術を駆使して、不具合の真の原因を追求し、高信頼性・低不良率を実現した。

また、シリコン (Si) を立体的に極限まで使用することで、平面時のオン抵抗・耐圧などの特性限界を打ち破ることを意図して、トレンチ (溝) 技術をコア技術と位置づけ、通常のトレンチ MOSFET に加えて、トレンチ横型パワー MOS (Trench Lateral Power MOS: TLPM)⁽²⁾、超接合 (Super Junction: SJ) デバイス、700 V 高耐圧横型 MOS (Trench Offset Drain-Lateral DMOS: TOD-LDMOS)⁽³⁾ などの新型半導体素子の研究開発を推進してきた。

TOD-LDMOS は、トレンチ加工して Si 基板を三次元的に使うコンセプトを高耐圧実現に初めて適用した新型半導体素子で、それを支えるキープロセス技術として、トレンチエッチング (溝掘り) 技術、CVD [埋込み・平坦 (へいたん) 化] 技術、ゲート酸化膜 (形成・高耐圧) 技術について開発を行ったので報告する。

2 新型半導体素子 (TOD-LDMOS) 構造

従来、700 V 以上の高耐圧を得るための構造 (オフセットドレイン領域) として図 1 のように基板表面に 60 μm 程度の長さを必要としていた。これは、低濃度の n 型領域に空乏層を長く ($X \mu\text{m}$) 広げることで、接合付近に生じる最大電界 ($E_{\text{max}} \text{ V}/\mu\text{m}$) が Si に逆方向電流が流れ始める電界 ($E_c \text{ V}/\mu\text{m}$) を超えることなく、高耐圧 $V = \int E(X) dx$ (V は E が一様で X が大のときに高い) を得るためである。 V の理論的限界は、 $V < E_c \cdot X$ であり、 X は理論的に短くできず、距離は耐圧を得るために原理的に必

要不可欠なものであった。

新技術では、図 2 のように Si 基板に深さ 20 μm 、幅 20 μm のトレンチを形成し、トレンチに沿ってオフセットドレイン領域を U 字形に設けることにより、基板を立体的に活用して距離を確保し、高耐圧を維持したままデバイスの集積度を高めるものである。

図 3 は、TOD-LDMOS の電位分布 (等電位線の間隔が電界の強さ) を示したものである。トレンチに沿ったオフセットドレインで電界が Si 内ではかなり均等に緩和され、さらに最大電界が Si の耐圧よりも 1 けた高い酸化膜中に存在することで、直線距離が短くてもブレイクダウンしない構造にしている。

しかしながら、このままの構造では Si 基板に深く幅広

図 1 従来技術による 700 V クラス高耐圧横型 MOS の断面構造図

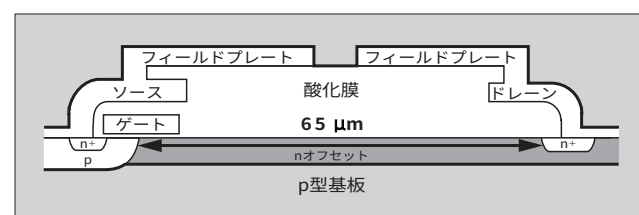
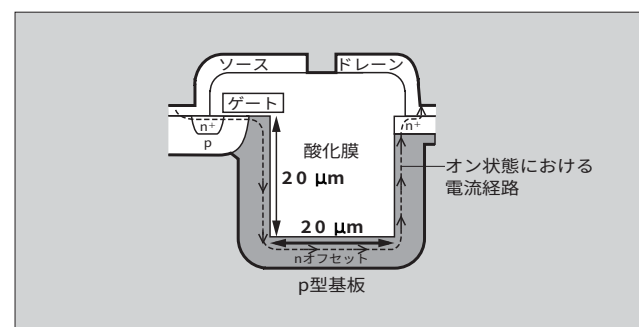


図 2 トレンチを用いた 700 V クラス高耐圧横型 MOS の断面構造図



長安 芳彦

半導体デバイス・プロセスの研究開発に従事。現在、富士電機アドバンステクノロジー(株)デバイス技術研究所副所長兼グループマネージャー。応用物理学协会会员。



望月 邦雄

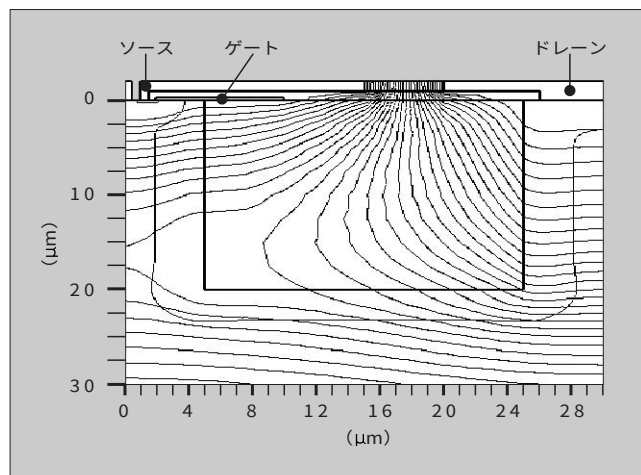
半導体プロセスの研究開発に従事。現在、富士電機アドバンステクノロジー(株)デバイス技術研究所主任研究員。応用物理学协会会员。



藤島 直人

高耐圧パワー IC の研究開発に従事。現在、富士電機アドバンステクノロジー(株)デバイス技術研究所グループマネージャー。工学博士。電気学会会員。

図3 TOD-LDMOS の二次元電位分布のシミュレーション結果
〔600 V バイアスをかけたとき (20 V/線間)〕



い (20 μm × 20 μm) トレンチを形成しその中に (高温印加などの信頼性試験で電荷が移動して) 耐圧を低下させることのない良質の絶縁領域を形成することと、トレンチ壁にイオンを低濃度で拡散させたオフセットドレイン領域を形成することが必要であり、プロセスの実現が難しい。高アスペクト比を有するストライプ状トレンチを形成して斜めイオン注入を行い、酸化・CVD によって絶縁膜を形成した独自の製造方法で目的とするデバイス構造を実現したのでそれを解説する。

③ TOD-LDMOS のキープロセス技術

プロセスのポイントであるトレンチ加工技術を主に述べる。

(1) 高アスペクト比のストライプ状トレンチ形成

図4に形状を示す。幅 1.4 μm、深さ 20 μm のストライプ状トレンチをソース - ドレイン間方向に形成することで、一度に 20 μm × 20 μm の酸化膜形成をするのではなく、実現可能な膜厚に領域を分割して形成することができる。このような形状を得るために必要なトレンチエッチング技術として次の点をポイントに開発を行った。

- 側壁角度 90°
- Si 柱状残渣 (ざんさ) がないこと
- トレンチ側壁の保護

トレンチエッチングは図5に示すように、側壁をエッチングガス中に含まれる酸素 (O₂) と Si 基板が反応して形成される生成物 (SiO₂) で保護しながらエッチングを行っている。しかし、深さ 20 μm になると底面で発生した生成物がトレンチ上部まで付着できず、底面だけでなく上部側壁までがエッチングされる。また、エッチングが深くなるにつれ、底面で発生した生成物が除去されず、これを核とした Si 柱状残渣が発生しやすくなる。そこで側壁保護のために、Si 基板にかかるバイアス電圧を増加させることにより、イオンビームの直進性を高めて側壁をアタック

図4 ストライプ状トレンチ形成時の Si 基板平面図
〔ソース - ドレイン間方向 (トレンチ深さ 20 μm)〕

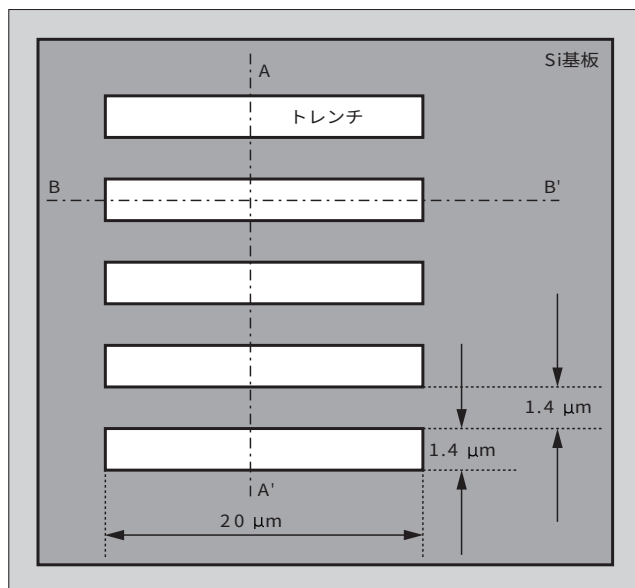
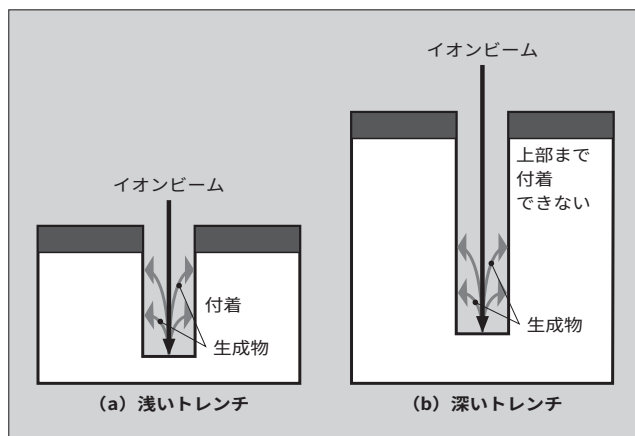


図5 トレンチエッチングの模式断面図



するビームを減少させた。また、生成物の発生を抑えるために、ガス中に含まれるふっ素量を最適化し固体状の SiO₂ から気体状の SiF₄ と O₂ へ分解し、排気されやすくした。その結果、本デバイスに適用できる形状を得ることができた。

(2) 斜めイオン注入によるオフセットドレイン形成

図6に示すようにトレンチに沿って斜めイオン注入・熱拡散を実施してトレンチ壁にオフセットドレイン領域を形成する。

トレンチ開口部が横長であることを利用して、BB'に平行にイオン注入することで底面と両側面に、45 度程度の比較的ばらつきの少ない角度の斜めイオン注入で不純物を導入するという方式を採った。

(3) くし歯状トレンチ間に残る Si 基板の熱酸化

図7に熱酸化後の Si 基板の断面図を示す。

くし歯状トレンチの間の Si はすべて酸化膜 (SiO₂) に

図6 斜めイオン注入によるオフセットドレーン領域形成後のSi基板断面図

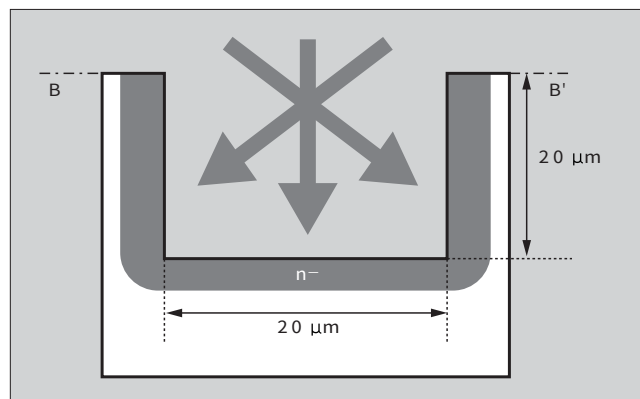


図7 くし歯状トレンチ間に残るSi基板の熱酸化を行った後のSi基板断面図

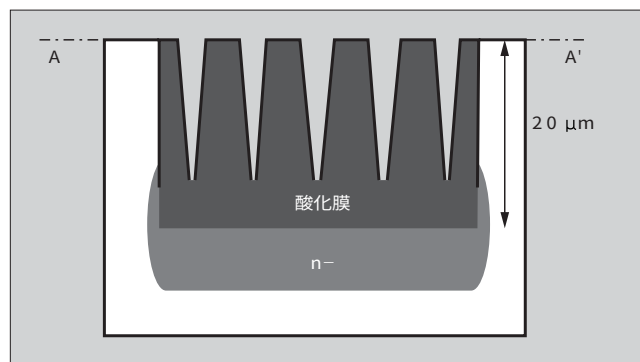
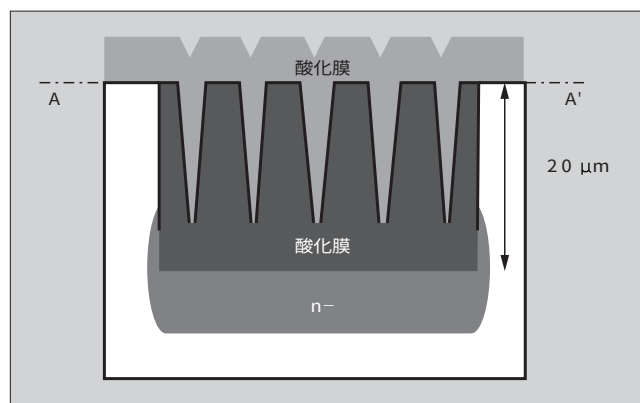


図8 トレンチ領域へ絶縁膜堆積を行った後のSi基板断面図



っており、 SiO_2 の体積がSiの約2倍で、上部にはこの時点ではすきまが開いている。この熱酸化のピッチ抜き残しの幅と応力の緩和を科学的に精密に制御する技術によって、Siの芯（しん）が残ったり応力によって酸化膜柱が変形したり倒れたりすることなく形成できた。

(4) トレンチ領域への絶縁膜堆積（たいせき）

図8に絶縁膜堆積後のSi基板の断面図を示す。

すきまを埋めるように絶縁膜（ SiO_2 ）を堆積させるとき

図9 試作した700 Vクラス高耐压横型MOSの断面写真

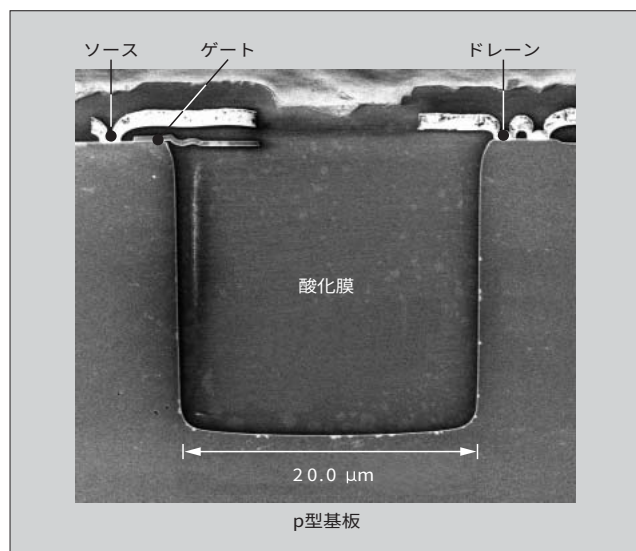
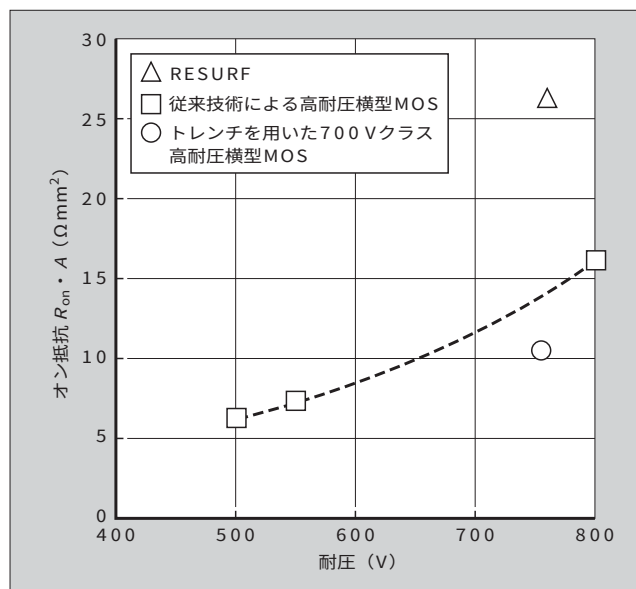


図10 出力オン抵抗（実測値）の比較グラフ



に、堆積 SiO_2 中に生じる空域を応力緩和領域として制御し、Si面（AA'）より下部に形成することがポイントである。図9が実際に形成した TOD-LDMOS の断面写真である。

これにより、従来と比べて出力オン抵抗を約3割低減した業界トップの $11 \Omega\text{mm}^2$ （素子耐压 750 V）を実現し（図10）、デバイスピッチ縮小でチップサイズを低減して、ワンチップパワー IC の製造コスト低減を図る。この技術により AC アダプタなどの電子機器のコストダウンを実現できると考えている。

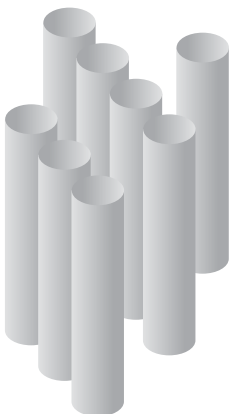
④ あとがき

今後もトレンチ技術に加えて、エピタキシャル成長技術、

埋込み技術、配線技術を駆使して、Si を三次元的に最大限利用した新型素子の開発を進めていく。また、エッチングの素過程解析⁽⁴⁾や各種可視化技術・インライン評価による定量的なプロセス設計、洗浄や表面処理技術^{(5), (6)}の向上、パーティクルの組成分析やクリーンルームモニタリング技術などによって、製造プロセスの改革を行い富士電機グループのプロセス技術の向上、新製品の開発に寄与していく所存である。

参考文献

- (1) 大井明彦. 半導体デバイスの微視解析技術. 富士時報. vol.76, no.3, 2003, p.197-200.
- (2) Fujishima, N. et al. A Low On-resistance Trench Lateral Power MOSFET in a 0.6 μm Smart Power Technology for 20-30 V Applications. IEDM Technical Digest 2002, p.455-458.
- (3) Teranishi, H. et al. A High Density, Low On-resistance 700 V Class Trench Offset Drain LDMOSFET (TOD-LDMOS). IEDM Technical Digest 2003, p.757-760.
- (4) Wakimoto, S. et al. Characteristics of Si Trench Etching. 25th International Symposium on Dry Process (DPS 2003).
- (5) Kuribayashi, H. et al. Investigation of shape transformation of silicon trenches during hydrogen annealing. To be published in Japanese Journal of Applied Physics. 2004.
- (6) Ogino, M. et al. Degradation of Gate Oxide Reliability Due to Plasma-Deposited Silicon Nitride. To be published in Japanese Journal of Applied Physics. vol.43, no.3, 2004.





＊本誌に記載されている会社名および製品名は，それぞれの会社が所有する
商標または登録商標である場合があります。